

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-154870

(43)Date of publication of application : 16.06.1995

(51)Int.Cl.

H04Q 9/00
H04Q 9/00

(21)Application number : 05-296759

(71)Applicant : SHARP CORP

(22)Date of filing : 26.11.1993

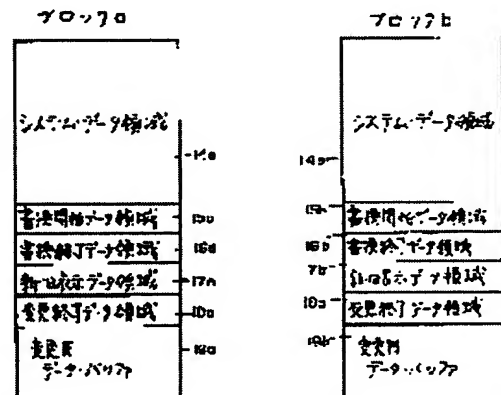
(72)Inventor : HAYASHI YOSHIHARU

(54) HOME CONTROLLER

(57)Abstract:

PURPOSE: To provide a home controller capable of discriminating valid system data even when the rewriting processing of the system data is interrupted and further restoring the data to a usable state as much as possible.

CONSTITUTION: A memory area is constituted of two blocks (a) and (b) and when the existing system data are stored in one of the blocks (a) and (b), the new system data are written in the system data area 14b or 14a of the other block (b) or (a). At the time of writing the data, respective data area 15a-18a and 15a-18b are changed by a prescribed procedure. When a write processing is interrupted, at the time of restoration, the data of the respective data areas 15a-18a and 15b-18b are referred to, a state in which a write operation is interrupted, is judged and the abandonment or preservation of the written data and the restoration of the entire system data are selectively performed.



LEGAL STATUS

[Date of request for examination] 18.07.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3184383

[Date of registration] 27.04.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-154870

(43) 公開日 平成7年(1995)6月16日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H04Q 9/00	301	D 7350-5K		
	311	Q 7350-5K		

審査請求 未請求 請求項の数 5 O L (全27頁)

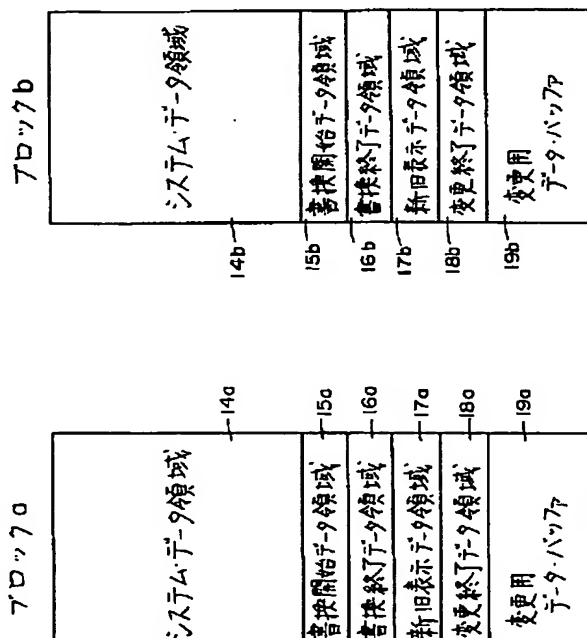
(21) 出願番号	特願平5-296759	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成5年(1993)11月26日	(72) 発明者	林 義治 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(74) 代理人	弁理士 深見 久郎

(54) 【発明の名称】 ホームコントローラ

(57) 【要約】

【目的】 システムデータの書換処理が中断しても有効なシステムデータを判別でき、さらにデータを使用可能状態に極力復元できるホームコントローラを提供する。

【構成】 メモリ領域を2つのブロック a, b とで構成し、既存のシステムデータがブロック a, b のいずれかに格納されている場合は、新しいシステムデータをもう一方のブロック b, a のシステムデータ領域 14 b, 14 a に書込む。データ書込時には、各データ領域 15 a ~ 18 a, 15 b ~ 18 b を所定の手順で変更していく。書込処理が中断した場合は、復旧時に、各データ領域 15 a ~ 18 a, 15 b ~ 18 b のデータを参照して、書込動作の中断した状態を判定し、書込されたデータの放棄または保存とシステムデータ全体の復旧とを選択的に行なう。



【特許請求の範囲】

【請求項 1】 ホームバスを介して家庭用機器を制御するためのホームコントローラであって、不揮発性のメモリからなり、制御用データを格納するための 2 つのブロックを含む制御用データ記憶手段と、不揮発性メモリからなり、前記 2 つのブロックのそれぞれに対応させた 2 つの第 1 のデータを格納するための第 1 のデータ記憶手段と、

不揮発性メモリからなり、前記 2 つのブロックのそれぞれに対応させた 2 つの第 2 のデータを格納するための第 2 のデータ記憶手段と、

前記 2 つのブロックのいずれか一方のブロックに格納されている制御用データに基づいて前記家庭用機器を制御するための信号を生成する信号生成手段と、

前記制御用データを前記 2 つのブロックの 1 つずつに書込むための書込手段と、

前記書込手段による前記 2 つのブロックのうちの 1 つのブロックへの制御用データの書込が完了した後に、前記 1 つのブロックに対応する前記第 1 のデータを第 1 の状態から第 2 の状態へ切換え、その後、前記第 2 の状態から前記第 1 の状態へ切換えるための第 1 のデータ切換手段と、

前記第 1 のデータが前記第 1 の状態から第 2 の状態に切換えられた後であって、かつ、さらに前記第 2 の状態に切換えられる前に、前記 2 つの第 2 のデータのうちのいずれか一方の第 2 のデータを第 3 の状態から第 4 の状態へ切換え、他方の第 2 のデータを前記第 4 の状態から前記第 3 の状態へ切換えるための第 2 のデータ切換手段と、

前記 2 つの第 1 のデータと前記 2 つの第 2 のデータとに基づいて前記 2 つのブロックのうちのいずれを前記いずれか一方のブロックとするかを判定するための判定手段とを含むホームコントローラ。

【請求項 2】 前記ホームコントローラは、不揮発性メモリからなり、第 3 のデータを格納するための第 3 のデータ記憶手段と、

制御用データに含まれる予め定められた一部のデータの前記 1 つのブロックへの前記書込手段による書込が完了した後に前記第 3 のデータを第 5 の状態から第 6 の状態へと切換え、その後、前記第 6 の状態から前記第 5 の状態へと切換えるための第 3 のデータ切換手段と、

前記第 3 のデータを参照して制御用データに含まれる前記一部のデータを除く他の部分を前記 1 つのブロックとは異なるもう 1 つのブロックから読出して前記 1 つのブロックへ書込むための読出書込手段とをさらに含む、請求項 1 記載のホームコントローラ。

【請求項 3】 前記ホームコントローラは、不揮発性のメモリからなるデータバッファ領域をさらに含む、

前記書込手段は、

制御用データを前記データバッファ領域に書込むためのバッファ書込手段と、

前記バッファ書込手段に格納されているデータを読出して前記ブロックに書込むためのバッファ読出手段とを含む、

前記ホームコントローラは、さらに、

異常発生により前記書込手段による書込動作が中断された際の復旧のために、前記制御用データのうちの前記ブロックに書込まれた部分を除く部分を前記データバッファ領域から読出して前記ブロックに書込むための部分読出書込手段をさらに含む、請求項 1 または 2 記載のホームコントローラ。

【請求項 4】 前記 2 つのブロックの各々は、一括消去可能な記憶領域を含む、請求項 1, 2 または 3 記載のホームコントローラ。

【請求項 5】 前記制御用データ記憶手段に含まれる 2 つのブロックと、前記第 1 のデータ記憶手段に含まれる 2 つの第 1 のデータを格納する領域と、前記第 2 のデータ記憶手段に含まれる 2 つの第 2 のデータを格納する領域との一方ずつが一括消去可能なメモリ上に設けられている、請求項 1, 2 または 3 記載のホームコントローラ。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】本発明は、ホームオートメーション・システムに関し、詳しくは、不揮発性のメモリを備えたホームコントローラに関する。

【 0 0 0 2 】

【従来の技術】近年、家庭内の各種機器をネットワークで結び、システム化された様々なサービスを実現する、いわゆるホームオートメーション・システムが普及している。

【 0 0 0 3 】図 2 0 は、ホームオートメーション・システムの概念図であり、カメラ、アンテナ、テレビ等の映像系端末、インターホン等の通話系端末、パーソナルコンピュータ等の情報系端末、煙検知器、ガス検知器、防犯スイッチ、電子キー等のセキュリティ端末、エアコン、風呂、照明等の機器端末とホームコントローラとが情報信号コネクタを介して、ホームバスに接続されている。ホームコントローラには、電話回線等の外部からの信号線も接続され、電話、インターホン、セキュリティ、機器制御、テレコントロール等の様々なサービス機能を実現することができる。

【 0 0 0 4 】図 2 1 は、ホームオートメーション・システムの心臓部に当たるホームコントローラの一般的な構成例を示すブロック図である。ホームコントローラ 5 0 1 は、ホームバス 5 0 2 へのインタフェース部 5 0 3、制御部 5 0 5、I/O (Input/Output) 部 5 0 6、メモリ部 5 1 2 を含む。I/O 部 5 0 6 は、キー入力部、表示部、音声入出力部等により構成されている。ホームコ

ントローラ 5 0 1 のメモリ部 5 1 2 は、ホームオートメーション・システムのシステムプログラムやアプリケーションプログラムを内蔵するためのメモリ領域 5 0 9 と、システムデータを内蔵するためのメモリ領域 5 1 0 と、プログラムの実行時に作業用に使用するためのメモリ領域 5 1 1 とを含む。一般に、メモリ部 5 1 2 のメモリ領域 5 0 9 には ROM (Read Only Memory) が、メモリ領域 5 1 1 には RAM (Random Access Memory) が用いられる。また、メモリ領域 5 1 0 には、EEPROM (Electrically Erasable and Programable Read Only Memory) またはバッテリーによりバックアップされた SRAM (Static Random Access Memory) が用いられる。

【 0 0 0 5 】ところで、ホームオートメーション・システムで実現できる機能に関しては、社会環境の変化、ユーザニーズの動向、技術の進展に伴う端末機器の充実、通信ネットワークの整備等によって、将来においてますます新規な技術が提案されると予想されている。一方、ホームオートメーション・システムは、住宅設備であるために、一度設置すれば、その後長期間にわたって使用されるものである。

【 0 0 0 6 】このように、ホームオートメーション・システムは、将来の機能の拡張性を備えつつ、長期間使用できるように構成されていることが、必要である。これに対する提案として、従来、特開平 2 - 2 6 5 3 9 5 号公報において、システム設置後の変更や拡張を容易にするために、メモリカードを使って、前記図 2 1 に示した従来例のメモリ部 5 1 2 のメモリ領域 5 0 9、5 1 0、5 1 1 に対応するような記憶手段のいずれかまたはすべてを増設する機能を有したホームバス・システムが示されている。

【 0 0 0 7 】

【発明が解決しようとする課題】しかし、特開平 2 - 2 6 5 3 9 5 号公報に提案された技術においては、メモリカードというハードウェアを新規に追加する必要がある。したがって、ホームオートメーション・システムの内容を変更したり、拡張したりすることに伴って、その都度費用が発生する。ところで、昨今、大容量でかつビット当たりの単価が安く、電氣的に消去および書換が可能な不揮発性のメモリとして、フラッシュメモリが注目されている。このフラッシュメモリを前記図 2 1 に示したホームコントローラ 5 0 1 のメモリ部 5 1 2 のシステムプログラムやアプリケーションプログラムを内蔵するためのメモリ領域 5 0 9 とシステムデータを内蔵するためのメモリ領域 5 1 0 に使用すれば、システムの内容を変更または拡張するとき、従来のように別途ハードウェアを追加することなく、メモリの内容を書換えるだけで、容易に行なうことができる。さらに、従来は、メモリ部 5 1 2 としてシステムプログラムやアプリケーションプログラムを格納するための ROM と、システムデータを格納するための RAM との 2 種類のメモリが必要で

あったが、両者を 1 つのフラッシュメモリにより構成することにより、部品数を削減し、装置を小型化することができる。

【 0 0 0 8 】また、ホームオートメーション・システムは、設置する環境（個別の家庭）ごとに最適な構成が異なり、それぞれの設置環境にあわせて製品を構成する必要がある。このため、装置を生産する際には、必然的に多品種少量生産となる。従来の装置は、ハードウェアの構成が、個々の製品によって異なるため、組立コストの上昇や、部品調達コストの上昇を招くおそれがある。しかしながら、フラッシュメモリを用いて構成した装置の場合は、メモリの記憶内容を個々に変更するだけで、個々の家庭の設置環境に応じたデータを容易に設定することができる。

【 0 0 0 9 】ホームオートメーション・システムにおけるデータの変更（書換）について述べる。ホームオートメーション・システムのシステムプログラムやアプリケーションプログラムを記憶しているメモリ領域の書換は、通常、製造時またはシステムの変更・拡張時に、専門の作業員が行なう。したがって、書換作業の途中で何らかの異常が発生した場合でも、作業員が専門知識を有しているので比較的容易に障害に対応することが可能である。一方、ホームオートメーション・システムのシステムデータについては、設置されている各家庭において実際の使用者が目的や環境、好みにあわせて設定または変更を行なう。この場合、ホームオートメーション・システムを使用するのは、機械操作に熟練した専門家ではなく、一般の家庭の主婦や子供、または老人のように機械操作に不慣れな人々である。そのため、これら一般者がシステムデータを書換えている途中で、たとえば、停電などが発生し、装置が異常停止した場合でも、貴重なデータが失われることがないようにシステムの信頼性を確保することが重要である。

【 0 0 1 0 】ところで、フラッシュメモリは、データの書換を行なう場合に所定の単位（ブロック単位）でしかデータの消去が行なえないという欠点を持っている。この欠点に起因するフラッシュメモリを用いる上での問題点について述べる。

【 0 0 1 1 】図 2 2 は、図 2 1 に示したホームコントローラ 5 0 1 のメモリ部 5 1 2 のメモリ領域 5 0 9 と 5 1 0 とにフラッシュメモリ 5 0 7 を使用する場合のメモリ空間の構成例を示す模式図である。同図において、フラッシュメモリ 5 0 7 は n 個のブロックに分かれており、 $n - 2$ 個のブロックがメモリ領域 5 0 9 に、2 個のブロックがメモリ領域 5 1 0 に使用されている。なお、メモリ領域 5 1 0 に含まれる 2 個のブロックを以下の説明ではブロック a とブロック b という。

【 0 0 1 2 】このように構成されたフラッシュメモリ 5 0 7 にシステムデータを格納する場合を考える。システムデータは、製造時または設置時に専門家によってプロ

ック a に書込まれる。そして、システムデータの内容を変更するときには、新しいシステムデータをブロック b に書込む。その後、古いシステムデータとなったブロック a の内容を消去する。また、再度、システムデータの内容を変更する場合には、その新しいシステムデータをブロック a に書込み、その後、ブロック b の内容を消去する。このように、フラッシュメモリにシステムデータを格納し、その内容を変更するときには、複数のブロック間で、書込と消去を交互に繰返す。なお、以下の説明では、複数のブロックを用いてシステムデータの書込と消去を交互に繰返し、あるブロックに格納している既存のシステムデータを、別のブロックに新たなシステムデータを書込むことにより置換えることを「ブロック間の書換」という。

【 0 0 1 3 】ここで問題となるのは、ブロック a またはブロック b に新しいシステムデータを書込んでいるときに、停電等の異常事態が発生し、書換動作が途中で中断された場合である。たとえば、ブロック b に変更前のシステムデータが格納され、ブロック a に変更後のシステムデータを格納する場合には、ブロック間の書換動作を行なっている過程では、書込途中のブロック a と変更前のシステムデータが書込まれているブロック b との両方のブロックにシステムデータが存在する。このような状態で、停電等によりシステムの動作が中断すると、ホームコントローラ 5 0 1 は、ブロック a とブロック b とのどちらのブロックのデータが有効なシステムデータであるのか判別できないので、システムの信頼性が失われてしまう。

【 0 0 1 4 】本発明は、上述したような問題点を解決するためになされたものであり、フラッシュメモリなどの不揮発性のメモリを用いる場合に、データをブロック間で書換えている途中において異常事態が発生したときの復旧時においてブロック間の書換状態を検出することにより用いるべき有効なデータを判別し、さらに、データが復元可能か否かを判定して復元可能な場合には極力データの復元を行なうようにすることが可能なホームコントローラを提供することを目的とする。

【 0 0 1 5 】

【課題を解決するための手段】上述の目的を達成するために、請求項 1 記載の発明は、ホームバスを介して家庭用機器を制御するためのホームコントローラであって、不揮発性のメモリからなり、制御用データを格納するための 2 つのブロックを含む制御用データ記憶手段と、不揮発性メモリからなり、前記 2 つのブロックのそれぞれに対応させた 2 つの第 1 のデータを格納するための第 1 のデータ記憶手段と、不揮発性メモリからなり、前記 2 つのブロックのそれぞれに対応させた 2 つの第 2 のデータを格納するための第 2 のデータ記憶手段と、前記 2 つのブロックのいずれか一方のブロックに格納されている制御用データに基づいて前記家庭用機器を制御するため

の信号を生成する信号生成手段と、前記制御用データを前記 2 つのブロックの 1 つずつに書込むための書込手段と、前記書込手段による前記 2 つのブロックのうちの 1 つのブロックへの制御用データの書込が完了した後に、前記 1 つのブロックに対応する前記第 1 のデータを第 1 の状態から第 2 の状態へ切換え、その後、前記第 2 の状態から前記第 1 の状態へ切換えるための第 1 のデータ切換手段と、前記第 1 のデータが前記第 1 の状態から第 2 の状態に切換えられた後であって、かつ、さらに前記第 2 の状態に切換えられる前に、前記 2 つの第 2 のデータのうちのいずれか一方の第 2 のデータを第 3 の状態から第 4 の状態へ切換え、他方の第 2 のデータを前記第 4 の状態から前記第 3 の状態へ切換えるための第 2 のデータ切換手段と、前記 2 つの第 1 のデータと前記 2 つの第 2 のデータとに基づいて前記 2 つのブロックのうちのいずれかを前記いずれか一方のブロックとするかを判定するための判定手段とを含むものである。

【 0 0 1 6 】請求項 2 記載の発明は、不揮発性メモリからなり、第 3 のデータを格納するための第 3 のデータ記憶手段と、制御用データに含まれる予め定められた一部のデータの前記 1 つのブロックへの前記書込手段による書込が完了した後に前記第 3 のデータを第 5 の状態から第 6 の状態へと切換え、その後、前記第 6 の状態から前記第 5 の状態へと切換えるための第 3 のデータ切換手段と、前記第 3 のデータを参照して制御用データに含まれる前記一部のデータを除く他の部分を前記 1 つのブロックとは異なるもう 1 つのブロックから読出して前記 1 つのブロックへ書込むための読出書込手段とをさらに含むものである。

【 0 0 1 7 】請求項 3 記載の発明は、不揮発性のメモリからなるデータバッファ領域をさらに含み、前記書込手段は、制御用データを前記データバッファ領域に書込むためのバッファ書込手段と、前記バッファ書込手段に格納されているデータを読出して前記ブロックに書込むためのバッファ読出手段とを含み、前記ホームコントローラは、さらに、異常発生により前記書込手段による書込動作が中断された際の復旧のために、前記制御用データのうちの前記ブロックに書込まれた部分を除く部分を前記データバッファ領域から読出して前記ブロックに書込むための部分読出書込手段をさらに含むものである。

【 0 0 1 8 】請求項 4 記載の発明は、前記 2 つのブロックの各々は、一括消去可能な記憶領域を含むものである。

【 0 0 1 9 】請求項 5 記載の発明は、前記制御用データ記憶手段に含まれる 2 つのブロックと、前記第 1 のデータ記憶手段に含まれる 2 つの第 1 のデータを格納する領域と、前記第 2 のデータ記憶手段に含まれる 2 つの第 2 のデータを格納する領域との一方ずつが一括消去可能なメモリ上に設けられているものである。

【 0 0 2 0 】

【作用】請求項 1 記載の構成により、ホームコントローラは、制御用データ記憶手段に格納されている制御用データに基づいて信号生成手段が生成した信号をホームバスを介して送ることにより、家庭用機器を制御する。制御用データ記憶手段は、制御用データを格納するための 2 つのブロックを含んでおり、信号生成手段は、そのうちのいずれか一方のブロックのデータを用いる。制御用データを変更する場合には、既存の制御用データが格納されているブロックとは異なる他方のブロックに書込手段により変更後の新たな制御用データを書込む。書込手段による 1 つのブロックへの制御用データの書込が完了すると、第 1 のデータ切換手段が、その書込が完了したブロックとは異なる他方のブロックに対応する第 1 のデータを第 1 の状態から第 2 の状態に切換え、その後、第 2 の状態から第 1 の状態へと切換える。

【0021】一方、第 2 のデータ切換手段は、第 1 のデータ切換手段により第 1 のデータが第 1 の状態から第 2 の状態へと切換えられた後であって、かつ、さらに第 2 の状態から第 1 の状態へと切換えられる前に、2 つの第 2 のデータのうちのいずれか一方の第 2 のデータを第 3 の状態から第 4 の状態へと切換え、他方の第 2 のデータを第 4 の状態から第 3 の状態へと切換える。

【0022】ここで、停電等の異常が発生し、制御用データの変更処理が中断した場合を考える。ホームコントローラの復旧時には、判定手段が、2 つの第 1 のデータと 2 つの第 2 のデータとに基づいて 2 つのブロックのうちのいずれのブロックが、用いるべき制御用データを格納しているかを判定する。すなわち、第 2 のデータは、対応するブロックが制御用データの書込が完了した状態であるか否かを示す。したがって、判定手段は、2 つの第 2 のデータのうちのいずれか一方のみが第 4 の状態である場合には、第 2 のデータを参照することによってのみ、いずれのブロックが用いるべき制御用データを格納しているかを判定することができる。

【0023】また、一方のブロックに制御用データが既に書込まれており、さらに、もう一方のブロックへの変更後の新たな制御用データの書込手段による書込が完了している場合には、2 つの第 2 のデータはともに第 4 の状態にある。この期間においては、判定手段は、第 2 のデータを参照するのみでは、いずれのブロックの制御用データを用いるべきかを決定することができない。この期間は、2 つの第 1 のデータのいずれか一方が第 2 の状態になっている期間に包含され、かつ、第 1 のデータのいずれが第 2 の状態となっているかにより、2 つのブロックのうちのいずれのブロックが変更後の新たな制御用データを格納しているかが示される。

【0024】判定手段は、第 1 のデータを参照して、2 つの第 1 のデータがともに第 1 の状態である場合には、第 2 のデータを参照することによって用いるべき制御用データを格納しているブロックを判定し、また、第 1 の

データのいずれか一方が第 2 の状態である場合には、第 2 のデータを参照することによって、用いるべき制御用データを格納しているブロックを決定する。

【0025】請求項 2 記載の構成により、書込手段が、制御用データに含まれる予め定められた一部のデータの 2 つのブロックのうちの 1 つのブロックへの書込を完了した後に、第 3 のデータ切換手段が、第 3 のデータを第 5 の状態から第 6 の状態へと切換え、その後、第 6 の状態から第 5 の状態へと切換える。読出書込手段は、第 3 のデータを参照して、制御用データに含まれる予め定められた一部のデータの書込が完了している状態であると判断すれば、制御用データに含まれる書込が完了した一部のデータを除く他の部分を他方のブロックから読出して当該ブロックへ書込む。また、停電等の異常が発生した場合に、ホームコントローラを復旧するときには、予め定められた一部のデータの書込が完了している状態であれば、読出書込手段により、ブロックへの書込が完了した一部のデータを除く他の部分を他方のブロックから読出して当該ブロックへ書込み、変更後の新たな制御用データを制御用データ記憶手段に書込むことができる。

【0026】請求項 3 記載の構成により、バッファ書込手段が制御用データをデータバッファ領域に書込む。このデータバッファ領域に格納されている制御用データをバッファ読出手段が読出してブロックに書込む。停電等の異常が発生し、書込手段による書込動作が中断された場合には、部分読出書込手段が実行される。部分読出書込手段は、制御用データのうちの既にブロックに書込まれた部分を除く部分をデータバッファ領域から読出してブロックに書込む。これにより、制御用データのうちのデータバッファ領域に書込まれていた部分は、制御用データ記憶手段のブロックに書込み、その後の処理に用いることが可能な状態になる。

【0027】請求項 4 記載の構成により、2 つのブロックの各々の記憶領域のデータは、変更後の新たな制御用データを書込む前に、一括して消去される。

【0028】請求項 5 記載の構成により、2 つのブロックと 2 つの第 1 のデータと 2 つの第 2 のデータとの一方ずつが、一括消去可能な同一のメモリ上に格納されているので、それらの方ずつを一括して消去することができる。また、第 1 のデータの第 1 の状態または第 2 の状態と、第 2 のデータの第 3 の状態または第 4 の状態と、メモリの消去状態とを対応づければ、メモリの一括消去によってブロックに格納されている制御用データの消去と、第 1 のデータの状態の切換と、第 2 のデータの状態の切換とを同時に行なうことができる。

【0029】

【実施例】以下、本発明を具体化した 3 つの実施例について図面を参照してそれぞれ説明する。また、各実施例は、メモリとしてフラッシュメモリを用いた構成を例示するが、本発明はフラッシュメモリを用いた場合に限ら

ず、その他の不揮発性のメモリ全般に同様に適用することができることを予め述べておく。

【 0 0 3 0 】 図 1 は、本発明の第 1 実施例によるホームコントローラの構成を示すブロック図である。ホームコントローラ 1 は、家庭用機器（図示を省略）に接続されたホームバス 2 とのデータの送受信を行なうためのインタフェース部 3 と、ホームコントローラ 1 全体の動作を管理するための制御部 5 と、キー入力や表示・音声入出力等を行なうための I / O (Input/Output) 部 6 と、ホームコントローラ 1 の動作に必要な各種のデータを格納するためのメモリ部 1 2 と、メモリ部 1 2 のデータの格納を管理するためのメモリ制御部 8 とを含む。

【 0 0 3 1 】 メモリ部 1 2 は、ホームオートメーション・システムのシステムプログラムやアプリケーションプログラムを格納するための第 1 のメモリ領域 9 と、システムデータを格納するための第 2 のメモリ領域 1 0 と、システムプログラムやアプリケーションプログラムを制御部 5 が実行するときに、制御部 5 の作業用の記憶領域を提供するための第 3 のメモリ領域 1 1 とを含む。第 2 のメモリ領域 1 0 のデータの書込と消去とは、メモリ制

御部 8 が行なう。

【 0 0 3 2 】 本実施例では、第 1 のメモリ領域 9 と、第 2 のメモリ領域 1 0 とをフラッシュメモリ 7 で構成している。

【 0 0 3 3 】 第 2 のメモリ領域 1 0 は、システムデータを書込むためのシステムデータ領域 1 4 と、システムデータのブロック間の書換動作（後述）が開始したことを示すためのデータを格納する書換開始データ領域 1 5 と、システムデータのブロック間の書換動作が終了したことを示すためのデータを格納する書換終了データ領域 1 6 と、当該ブロックに格納されたデータが、書換前のデータであるか否かを示すためのデータを格納する新旧表示データ領域 1 7 とを含む。なお、これらのシステムデータ領域 1 4 と、書換開始データ領域 1 5 と、書換終了データ領域 1 6 と、新旧表示データ領域 1 7 とは、第 2 のメモリ領域 1 0 に設けられた 2 個のブロックの各々に設けられるものである。この 2 個のブロックの構成については、図 2 を参照して後述する。

【 0 0 3 4 】 図 2 は、第 2 のメモリ領域 1 0 に設けられた 2 個のブロック a、b の構成を示す模式図である。ブロック a は、システムデータを格納するためのシステムデータ領域 1 4 a と書換開始データ領域 1 5 a と書換終了データ領域 1 6 a と新旧表示データ領域 1 7 a とを含む。同様に、ブロック b は、システムデータ領域 1 4 b と書換開始データ領域 1 5 b と書換終了データ領域 1 6 b と新旧表示データ領域 1 7 b とを含む。

【 0 0 3 5 】 図 3、4 は、本実施例においてシステムデータをブロック間の書換によって変更するときのホームコントローラ 1 の動作の手順を示すフローチャートである。なお、以下の説明においては、前述の書換開始デー

タと書換終了データと新旧表示データとをそれぞれプログラム上でセット／リセットを示すための「フラグ」として説明する。各フラグは、データ領域にデータを書込むことによりセットされ、ブロックの記憶内容が消去されることに伴って各フラグのデータ領域の記憶内容が消去されることによりリセットされる。

【 0 0 3 6 】 まず、ステップ（以下、単に「S」という。）1において、制御部 5 からの指令に応答してメモリ制御部 8 が、ブロック a の書換開始フラグ 1 5 a がセットされているか否かを調べる。メモリ制御部 8 は、書換開始フラグ 1 5 a がセットされていれば（S 1 にて YES）、現在、システムデータがブロック a に書込まれていると判断する。そして、メモリ制御部 8 は、新しいシステムデータをブロック b に書込まなければならないと判断する。

【 0 0 3 7 】 次に、メモリ制御部 8 は、ブロック b の記憶内容が消去されているか否かを調べ（S 2）、ブロック b の記憶内容が消去されていなければ（S 2 にて NO）、ブロック b の記憶内容を消去する（S 3）。このとき、ブロック b に含まれるシステムデータ領域 1 4 b と書換開始フラグ 1 5 b と書換終了フラグ 1 6 b と新旧表示フラグ 1 7 b とのすべてが消去される。フラッシュメモリは、データの消去をブロックごとに行なうためである。

【 0 0 3 8 】 次に、メモリ制御部 8 は、ブロック b の書換開始フラグ 1 5 b をセットする（S 4）。続いて、メモリ制御部 8 は、ブロック b へのすべての書込が終了すれば（S 5）、ブロック a の新旧表示フラグ 1 7 a をセットする（S 6）。その後、メモリ制御部 8 は、ブロック b の書換終了フラグ 1 6 b をセットする（S 7）。さらに、メモリ制御部 8 は、ブロック a の記憶内容を消去して（S 8）、ブロック a からブロック b へのシステムデータの書換処理を終了する。

【 0 0 3 9 】 一方、前述の S 1 において、ブロック a の書換開始フラグ 1 5 a がセットされていなければ（S 1 にて NO）、メモリ制御部 8 は、現在、システムデータがブロック a に書込まれていないと判断し、続いて、ブロック b の書換開始フラグ 1 5 b がセットされているか否かを調べる（S 9）。メモリ制御部 8 は、書換開始フラグ 1 5 b がセットされていれば（S 9 にて YES）、現在、システムデータがブロック b のシステムデータ領域 1 4 b に書込まれていると判断する。この場合、メモリ制御部 8 は、新しいシステムデータをブロック a に書込まなければならないと判断する。

【 0 0 4 0 】 次に、メモリ制御部 8 は、ブロック a の記憶内容が消去されているか否かを調べ（S 1 0）、消去されていなければ（S 1 0 にて NO）、ブロック a の記憶内容を消去する（S 1 1）。次に、メモリ制御部 8 は、ブロック a の書換開始フラグ 1 5 a をセットする（S 1 2）。そして、メモリ制御部 8 は、ブロック a の

システムデータ領域14aに新しいシステムデータを書込む(S13)。メモリ制御部8は、ブロックaへのすべての書込が終了すれば、ブロックbの新旧表示フラグ17bをセットする(S14)。

【0041】その後、メモリ制御部8は、ブロックaの書換終了フラグ16aをセットする(S15)。そして、メモリ制御部8は、ブロックbの記憶内容を消去し(S16)、ブロックbからブロックaへのシステムデータの書換処理を終了する。

【0042】また、前述のS9において、ブロックbの書換開始フラグ15bがセットされていなければ(S9にてNO)、メモリ制御部8は、現在、システムデータがブロックaにもブロックbにも書込まれていないと判断する。このような状態は、通常、ホームコントローラ1の製造時または設置時のようにシステムデータが未設定である場合に発生する。この場合はメモリ制御部8は、システムデータをブロックaに書込む。なお、システムデータが未設定の場合にはじめにシステムデータを書込むブロックは、ブロックaとブロックbのいずれであってもよい。

【0043】次に、メモリ制御部8は、ブロックaの内容が消去されているか否かを調べ(S17)、消去されていなければ(S17にてNO)、ブロックaの内容を消去する(S18)。次に、メモリ制御部8は、ブロックaの書換開始フラグ15aをセットする(S19)。そして、メモリ制御部8は、ブロックaに新しいシステムデータを書込む(S20)。メモリ制御部8は、ブロックaへのすべての書込が終了すれば、ブロックaの書換終了フラグ16aをセットする(S21)。

【0044】そして、メモリ制御部8は、ブロックbの記憶内容が消去されているか否かを調べ(S22)、消去されていなければ(S22にてNO)、ブロックbの内容を消去し(S23)、システムデータの書換処理を終了する。ただし、この場合には、書換前の旧システムデータを格納したブロックが存在しなかったため、正確には、システムデータの初回の書込処理である。

【0045】前述したシステムデータのブロック間の書換処理が実行されている途中で、たとえば停電などの異常事態が発生すると、ホームコントローラ1は、システムをリセットする。このとき、ブロック間の書換処理は途中で中断される。このような異常事態からの復旧時におけるホームコントローラ1の動作について以下に説明する。

【0046】図5、6は、ホームコントローラ1の復旧時の動作手順を示すフローチャートである。始めに、S24において、制御部5からの指令に回答してメモリ制御部8が、ブロックaの書換開始フラグ15aがセットされているか否かを調べる。メモリ制御部8は、書換開始フラグ15aがセットされていなければ(S24にてNO)、ブロックbの書換開始フラグ15bがセットさ

れているか否かを調べる(S25)。メモリ制御部8は、書換開始フラグ15bがセットされていなければ(S25にてNO)、ブロックaとブロックbとのいずれにもシステムデータが存在しないと判断する(S26)。このような状態は、前述したようにコントローラ1の製造時または設置時においてシステムデータが未設定である場合に発生する。

【0047】また、前述のS25においてブロックbの書換開始フラグ15bがセットされていれば(S25にてYES)、メモリ制御部8は、続いて、ブロックbの書換終了フラグ16bがセットされているか否かを調べる(S27)。メモリ制御部8は、書換終了フラグ16bがセットされていれば(S27にてYES)、現在、システムデータがブロックbのシステムデータ領域14bに書込まれていると判断する(S29)。

【0048】一方、前述のS24において、ブロックaの書換開始フラグ15aがセットされていれば(S24にてYES)、メモリ制御部8は、ブロックbの書換開始フラグ15bがセットされているか否かを調べる(S30)。メモリ制御部8は、書換開始フラグ15bがセットされていなければ(S30にてNO)、次に、ブロックaの書換終了フラグ16aがセットされているか否かを調べる(S31)。

【0049】メモリ制御部8は、書換終了フラグ16aがセットされていれば(S31にてYES)、現在、システムデータがブロックaのシステムデータ領域14aに書込まれていると判断する(S33)。

【0050】一方、メモリ制御部8は、ブロックaの書換終了フラグ16aがセットされていなければ(S31にてNO)、ブロックaの記憶内容を消去する(S32)。この動作は、前記図4に示したS20の処理が実行されている途中で異常事態が発生した場合に対応する処理である。このような処理が必要になるのは、コントローラ1の製造時または設置時に、専門家によってシステムデータを最初に書込んでいる場合である。この場合、作業員である専門家は、コントローラ1を操作するための適正な知識を有するので、システムがリセットした後にホームコントローラ1を操作して容易にシステムデータをフラッシュメモリ7に書込ませる動作を行なわせることができる。

【0051】また、前述のS27にてブロックbの書換終了フラグ16bがセットされていなければ(S27にてNO)、メモリ制御部8はブロックbの記憶内容を消去する(S28)。ただし、本実施例では前記図4に示したようにシステムデータが未設定のときには、システムデータをまずブロックaに書込むようにしたので(図4のS20参照)、通常は、S28の処理が必要となるような状態は発生しない。

【0052】次に、前述のS30にてブロックaとブロックbとの両方にシステムデータが存在する場合(S3

0にてYES)の処理について説明する。このような状態は、前記図3に示したブロック間の書換処理の実行中に異常事態が発生して書換処理が途中で中断された場合に発生する。このとき、メモリ制御部8は、まずブロックaの新旧表示フラグ17aがセットされているか否かを調べる(S34)。新旧表示フラグ17aがセットされていれば(S34にてYES)、メモリ制御部8は、ブロックaからブロックbへのデータの書換処理の途中で前記図3のS6の終了直後に動作が中断したと判断する。

【0053】続いて、メモリ制御部8は、ブロックbの書換終了フラグ16bがセットされているか否かを調べる(S35)。書換終了フラグ16bがセットされていなければ(S35にてNO)、メモリ制御部8は、ブロックbの書換終了フラグ16bをセットする(S36)。次に、メモリ制御部8は、ブロックaの内容を消去する(S37)。この場合には、メモリ制御部8はシステムデータがブロックbに書込まれていると判断し(S29)、その旨を示す信号を制御部5へ送信する。

【0054】また、前述のS34においてブロックaの新旧表示フラグ17aがセットされていなければ(S34にてNO)、メモリ制御部8は、ブロックbの新旧表示フラグ17bがセットされているか否かを調べる(S38)。新旧表示フラグ17bがセットされていれば(S38にてYES)、メモリ制御部8は、ブロックbからブロックaへのシステムデータの書換処理の途中で、前記図3のS14の終了直後に動作が中断したと判断する。そして、メモリ制御部8は、ブロックaの書換終了フラグ16aがセットされているか否かを調べ(S39)、書換終了フラグ16aがセットされていなければ(S39にてNO)、書換終了フラグ16aをセットする(S40)。次に、メモリ制御部8は、ブロックbの記憶内容を消去する(S41)。この場合には、メモリ制御部8は、システムデータがブロックaに書込まれていると判断する(S33)。

【0055】前述のS38においてブロックbの新旧表示フラグ17bがセットされていなければ(S38にてNO)、メモリ制御部8は、ブロックaの書換終了フラグ16aがセットされているか否かを調べる(S42)。書換終了フラグ16aがセットされていれば(S42にてYES)、メモリ制御部8は、ブロックaからブロックbへのシステムデータの書換処理の途中で、前記図3のS6の処理が実行される前に動作が中断したと判断する。この場合は、ブロックbのシステムデータ領域14bに書込まれている途中のシステムデータは、そのままでは不完全なデータであるので、メモリ制御部8は、ブロックbの記憶内容を消去する(S41)。

【0056】そして、メモリ制御部8は、システムデータがブロックaに書込まれていると判断し(S33)、その旨を示す信号を制御部5へ送る。

【0057】前述のS42において、ブロックaの書換終了フラグ16aがセットされていなければ(S42にてNO)、メモリ制御部8は、ブロックbの書換終了フラグ16bがセットされているか否かを調べる(S43)。書換終了フラグ16bがセットされていれば(S43にてYES)、メモリ制御部8は、ブロックbからブロックaへのシステムデータの書換処理の途中で、前記図3のS14の処理が実行される前に動作が中断したと判断する。この場合は、メモリ制御部8は、ブロックaのシステムデータ領域14aへ書込まれている途中のシステムデータが不完全なデータであると判断し、ブロックaの記憶内容を消去する(S37)。そして、メモリ制御部8は、システムデータがブロックbに書込まれていると判断し(S29)、その旨を示す信号を制御部5へ送る。

【0058】なお、前述のS43において、ブロックbの書換終了フラグ16bがセットされていないという状態は、コントローラ1の製造時または設置時にフラッシュメモリ7の初期化処理またはシステムデータの書込処理が正常に行なわれていない場合に発生する。この場合には、メモリ制御部8は、ブロックaとブロックbとの両方の記憶内容を消去し(S44)、両方のブロックa、bにシステムデータが存在しないという旨を示す信号を制御部5へ送る。この信号を受けた制御部5は、システムデータ不在を示すメッセージを使用者に報知する。そして、使用者は、このメッセージに対応してシステムデータの入力を行なう。

【0059】以上の動作により、システムデータの書換処理の実行中に異常事態が発生してブロック間の書換処理が途中で中断された場合であっても、変更前のシステムデータを格納しているブロックを判別することにより、コントローラ1が適正なシステムデータを使用することが可能な状態に復旧することができる。

【0060】前記システムデータ領域14a、14bにより請求項記載の制御用データ記憶手段が構成されている。前記新旧表示データ領域(フラグ)17a、17bにより請求項記載の第1のデータ記憶手段が構成されている。前記書換終了データ領域(フラグ)16a、16bにより請求項記載の第2のデータ記憶手段が構成されている。前記制御部5により請求項記載の信号生成手段が構成されている。

【0061】また、前記メモリ制御部8と、このメモリ制御部8に前述のS6、S14、S8、S16の処理を行なわせるためのプログラムとにより請求項記載の第1のデータ切換手段が構成されている。前記メモリ制御部8と、このメモリ制御部8に前述のS7、S8、S15、S16、S21、S23の処理を実行させるためのプログラムとにより請求項記載の第2のデータ切換手段が構成されている。さらに、前記メモリ制御部8と、このメモリ制御部8に前記図5、6のフローチャートに示

10

20

30

40

50

した処理を実行させるためのプログラムとにより請求項記載の判定手段が構成されている。

【0062】次に、本発明の第2実施例について説明する。前述の第1実施例において、たとえば、前記図3に示したS5またはS13の実行中に異常事態が発生した場合には、変更前のシステムデータは保存されるが、新たに書込もうとしていた変更後のシステムデータは失われてしまう。この場合、使用者は、再度、ホームコントローラ1に変更後のシステムデータを入力する作業を行なわなければならない。

【0063】ところで、一般にシステムデータは、ホームコントローラの製造時や設置時に専門家によって最初に入力されてからは、その後、データの一部分が変更されるだけで、その他の部分は変更されないでそのまま用いられることが多い。したがって、システムデータを変更するにあたっては、変更後の新たなシステムデータの全体を入力することなく、その一部を入力することにより行なうことができる。本実施例は、この点に着目し、前述の第1実施例を変形させて、さらに、容易にシステムデータの変更が行なえるようにしたものである。

【0064】図7は、本実施例によるホームコントローラの構成を示すブロック図である。なお、第1実施例と同様の機能を有するものについては同一の符号を記している。ホームコントローラ101は、インタフェース部3と、制御部5と、I/O部6と、メモリ部12と、メモリ制御部108を含む。メモリ部12は、第1実施例と同様に、第1のメモリ領域9と、第2のメモリ領域10と、第3のメモリ領域11とを含む。第1のメモリ領域9と第2のメモリ領域10とは、フラッシュメモリ7で構成されている。

【0065】第2のメモリ領域10は、システムデータ領域14と、書換開始データ領域15と、書換終了データ領域16と、新旧表示データ領域17とを含む。そして、本実施例では、第2のメモリ領域10が、さらに、システムデータのブロック間の書換を行なう際に、変更部分の書込が完了したことを示すデータを格納するための変更終了データ領域18を含む。

【0066】図8は、第2のメモリ領域10の構成を示す模式図である。前述の第1実施例のブロックaとブロックbとの構成に加えて、本実施例では、ブロックaに40 変更終了データ領域18aをさらに含ませ、ブロックbに変更終了データ領域18bをさらに含ませている。

【0067】図9、10は、第2実施例におけるホームコントローラ101のシステムデータをブロック間の書換によって変更するときの動作の手順を示すフローチャートである。なお、図9、10において、前述の第1実施例の前記図3、4に示した処理と同様の処理については、同一のステップ番号を示している。また、以下の説明においては、説明を簡略化するために第1実施例の手順を変形させた箇所のみを説明する。

【0068】メモリ制御部108は、現在、システムデータがブロックaのシステムデータ領域14aに書込まれており、新しいシステムデータをブロックbのシステムデータ領域14bに書込む場合に、ブロックbの書換開始フラグ15bをセットする(S4)。次に、メモリ制御部108は、新しいシステムデータに含まれる新たに変更された部分すなわちブロックaに書込まれている古いシステムデータと異なる部分のデータのみをブロックbのシステムデータ領域14bに書込む(S45)。

10 メモリ制御部108は、変更部分の書込処理が終了すれば、ブロックbの変更終了フラグ18bをセットする(S46)。

【0069】次に、メモリ制御部108は、システムデータにおける変更されない部分のデータをブロックbのシステムデータ領域14bに書込む(S47)。メモリ制御部108は、ブロックbへのシステムデータの変更されない部分の書込が終了すれば、ブロックaの新旧表示フラグ17aをセットする(S6)。その後、メモリ制御部108は、ブロックbの書換終了フラグ16bを20 セットする(S7)。そして、メモリ制御部108は、ブロックaの記憶内容を消去し(S8)、ブロックaからブロックbへのシステムデータの書換処理を終了する。

【0070】一方、現在、システムデータがブロックbに書込まれており、新しいシステムデータをブロックaに書込む場合には、メモリ制御部108は、ブロックaの書換開始フラグ15aをセットする(S12)。そして、メモリ制御部108は、システムデータに含まれる変更部分のデータをブロックaに書込む(S48)。メモリ制御部108は、ブロックaへの変更部分の書込が30 終了すれば、ブロックaの変更終了フラグ18aをセットする(S49)。次に、メモリ制御部108は、システムデータに含まれる変更されない部分のデータをブロックaのシステムデータ領域14aに書込む(S50)。そして、メモリ制御部108は、ブロックaへの変更されない部分のデータの書込が終了すれば、ブロックbの新旧表示フラグ17bをセットする(S14)。その後、メモリ制御部108は、ブロックaの書換終了フラグ16aをセットする(S15)。そして、メモリ制御部108は、ブロックbの記憶内容を消去し(S16)、ブロックbからブロックaへのシステムデータの書換処理を終了する。

【0071】図11、12は、第2実施例におけるホームコントローラ101の復旧時の動作手順を示すフローチャートである。前記図9、10と同様に、第1実施例と異なる部分についてのみ説明する。S38にて、ブロックbの新旧表示フラグ17bがセットされていなければ(S38にてNO)、メモリ制御部108は、ブロックaの書換終了フラグ16aがセットされているか否かを調べる(S42)。書換終了フラグ16aがセットさ

れていれば (S 4 2 にて YES)、メモリ制御部 108 は、前記図 9 の S 6 が実行される前に動作が中断したと判断する。

【0072】ここで、前述の第 1 実施例の場合は、メモリ制御部 8 (図 1) が、ブロック b に書込んでいる途中のシステムデータは不完全なデータであると判断して、ブロック b の記憶内容を消去した。一方、第 2 実施例の場合は、メモリ制御部 108 は、システムデータの変更部分の書込が完了しているか否かによって、新たに書込んだシステムデータの変更部分を用いて完全なシステムデータを復元するか、または、システムデータの復旧が不可能と判断して、ブロック b の記憶内容を消去するかの 2 通りの動作を選択的に行う。

【0073】メモリ制御部 108 は、ブロック b の変更終了フラグ 18 b がセットされているか否かを調べる

(S 5 1)。変更終了フラグ 18 b がセットされていれば (S 5 1 にて YES)、メモリ制御部 108 は、ブロック b に変更後のシステムデータに含まれる変更部分のデータの書込処理は完了していると判断する。そして、メモリ制御部 108 は、システムデータにおける変更されない部分のデータをブロック a のシステムデータ領域 14 a から読出し、ブロック b のシステムデータ領域 14 b に書込む (S 5 3)。

【0074】メモリ制御部 108 は、ブロック b へのシステムデータの書込処理が完了すれば、ブロック a の新旧表示フラグ 17 a をセットし (S 5 4)、さらに、ブロック b の書換終了フラグ 16 b をセットする (S 5 5)。そして、メモリ制御部 108 は、ブロック a の記憶内容を消去し (S 5 6)、ブロック a からブロック b へのシステムデータの書換処理を終了する。そして、メモリ制御部 108 は、システムデータがブロック b に書込まれていることを示す信号を制御部 5 へ送る。

【0075】また、前述の S 5 1 において、ブロック b の変更終了フラグ 18 b がセットされていなければ (S 5 1 にて NO)、メモリ制御部 108 は、前記図 9 の S 4 5 の実行中に異常が発生して書込処理が中断されたと判断する。

【0076】本実施例では、フラッシュメモリ 7 として、8 ビットまたは 16 ビット単位でデータの読出または書込を行なうものを用いている。システムデータのデータ長がフラッシュメモリ 7 の読出/書込の単位と同じであれば、データの管理は比較的容易である。しかしながら、実際には、システムデータは、端末機器の接続の有無を示すデータのように 1 ビットで構成されるものもあれば、電話番号のように複数バイトを必要とするものもある。

【0077】このように、システムデータに含まれるデータの種類によってデータ長が異なっており、システムデータのデータ長がフラッシュメモリ 7 の読出/書込の単位より大きいときは、そのデータを書込んでいる途中

で異常が発生し、書込処理が中断された場合には、途中で書込まれたデータを使用することはできない。したがって、メモリ制御部 108 は、ブロック b の記憶内容を消去する (S 5 2)。そして、メモリ制御部 108 は、システムデータがブロック a に書込まれているとし (S 3 3)、その旨を示す信号を制御部 5 へ送る。

【0078】一方、S 4 2 において、ブロック a の書換終了フラグ 16 a がセットされていなければ (S 4 2 にて NO)、メモリ制御部 108 は、ブロック b の書換終了フラグ 16 b がセットされているか否かを調べる (S 4 3)。書換終了フラグ 16 b がセットされていれば (S 4 3 にて YES)、前記図 9 の S 1 4 が実行する前に動作が中断したと判断する。この場合、メモリ制御部 108 は、続いて、ブロック a の変更終了フラグ 18 a がセットされているか否かを調べる (S 5 7)。

【0079】変更終了フラグ 18 a がセットされていれば (S 5 7 にて YES)、メモリ制御部 108 は、ブロック a にシステムデータの変更部分のデータの書込は完了していると判断する。そして、メモリ制御部 108 は、システムデータの変更されない部分のデータをブロック b のシステムデータ領域 14 b から読出してブロック a に書込む (S 5 9)。

【0080】メモリ制御部 108 は、ブロック a へのすべてのシステムデータの書込が終了すれば、ブロック b の新旧表示フラグ 17 b をセットする (S 6 0)。次に、メモリ制御部 108 は、ブロック a の書換終了フラグ 16 a をセットする (S 6 1)。さらに、メモリ制御部 108 は、ブロック b の記憶内容を消去し (S 6 2)、システムデータの書換処理を終了する。この場合、メモリ制御部 108 は、システムデータがブロック a に書込まれていると判断し (S 3 3)、その旨を示す信号を制御部 5 へ送る。

【0081】また、前述の S 5 7 にてブロック a の変更終了フラグ 18 a がセットされていなければ (S 5 7 にて NO)、メモリ制御部 108 は、前記図 9 の S 4 8 の実行中に異常が発生して、書込が中断されたと判断する。この場合は、メモリ制御部 108 は、ブロック a の記憶内容を消去する (S 5 8)。そして、メモリ制御部 108 は、システムデータがブロック b に書込まれていると判断し (S 2 9)、その旨を示す信号を制御部 5 へ送る。

【0082】以上説明したように第 2 実施例によれば、システムデータの書換処理の実行中に異常が発生し、書換動作が途中で中断された場合であっても、システムデータに含まれる変更部分の書込処理が完了していれば、変更されない部分を既存のシステムデータから複写して変更後のシステムデータの全体を復元する。これにより、使用者は、変更後のシステムデータの入力途中または入力完了後に、停電等の異常が発生して書換処理が中断した場合であっても、変更部分のデータの書込

処理が完了していれば、再度、変更後のシステムデータを入力する必要がなくなり、復旧作業を簡略化することができる。

【0083】前記変更終了データ領域（フラグ）18 a, 18 bにより請求項記載の第3のデータ記憶手段が構成されている。前記メモリ制御部108と、このメモリ制御部108に前述のS46, S8, S49, S16の処理を行なわせるためのプログラムとにより請求項記載の第3のデータ切換手段が構成されている。前記メモリ制御部108と、このメモリ制御部108に前述のS

53, S59の処理を実行させるためのプログラムとにより請求項記載の読出書込手段が構成されている。

【0084】次に、本発明の第3実施例について説明する。本実施例では、システムデータに含まれる変更部分を書込んでいる途中で異常が発生し、書込処理が中断された場合であっても、異常発生前までに書込まれた変更データについては、使用可能な有効な状態にするようにホームコントローラを構成している。

【0085】図13は、第3実施例によるホームコントローラ201の構成を示すブロック図である。なお、前述の第1実施例に示したものと同様の機能を有するものについては同一の符号を印している。ホームコントローラ201は、インタフェース部3と、制御部5とI/O部6と、メモリ制御部208と、メモリ部12とを含む。メモリ部12は、第1実施例と同様に第1のメモリ領域9と、第2のメモリ領域10と、第3のメモリ領域11とを含む。第1のメモリ領域9と第2のメモリ領域10とは、フラッシュメモリ7により構成している。

【0086】さらに、第2のメモリ領域10は、システムデータ領域14と、書換開始データ領域15と、書換終了データ領域16と、新旧表示データ領域17と、変更終了データ領域18とを含む。さらに、第2のメモリ領域10は、第3実施例の特徴である変更用データバッファ19を含む。

【0087】従来は、システムデータの変更を行なう場合に、プログラムの実行時に作業用の記憶領域として使用する第3のメモリ領域11に変更部分のデータを書込んでおき、すべての変更作業が終了した後に、システムデータをまとめてフラッシュメモリ7に書込むようにしていた。本実施例では、変更部分のデータを第3のメモリ領域11に書込むとともに、変更部分のデータを変更用データバッファ19にも書込むように構成している。

【0088】図14は、本実施例における第2のメモリ領域10の構成を示す模式図である。本実施例では、ブロックa, bに前述の第2実施例に示した各種のデータ領域14a~18a, 14b~18bに加えて、それぞれに変更用データバッファ19a, 19bを設けている。

【0089】図15は、ブロックaに設けられている変更用データバッファ19aの構成を示す模式図である。

なお、ブロックbの変更用データバッファ19bについても同図に示した構成と同様であるので、図示を省略する。図15において、変更用データバッファ19aは、m個の変更データを格納している。各変更データは、各データを識別するためのデータ番号と、フラッシュメモリ7（図13）で扱われるビット長を単位としたデータの長さを示すデータサイズと、データとで構成されている。

【0090】フラッシュメモリ7は、記憶内容が消去されている状態では、ある一定の状態（通常はHighレベルである）になっている。したがって、変更用データバッファ19aに書込がされておらず、未使用状態であるときには、変更用データバッファ19aの先頭のデータを読出すと、その値は、ある一定値になっている。たとえば、フラッシュメモリ7が、1語が8ビットであり、消去状態がHighレベルになるように構成されている場合には、未使用データの変更用データバッファ19aの先頭データの読出値はFFHになる。このような特性を利用して、本実施例では、変更データが存在する場合には、そのデータ番号を消去状態のときの一定値以外の値に設定しておき、データ番号の値によって変更データの有無が判別できるようにしている。

【0091】図16, 17は、システムデータをブロック間の書換処理によって変更する際に、変更部分のデータ（以下、「変更データ」という。）を変更用データバッファ19a, 19bに書込むためのホームコントローラ201の動作の手順を示すフローチャートである。このフローチャートに示す手順は、1個の変更データについて1回実行される。前述の第1実施例および第2実施例と同様に、システムデータの書換状態を示すデータをフラグとして説明する。

【0092】始めに、メモリ制御部208が、ブロックaの書換開始フラグ15aがセットされているか否かを調べる（S63）。書換開始フラグ15aがセットされていないならば（S63にてNO）、メモリ制御部208は、次に、ブロックbの書換開始フラグ15bがセットされているか否かを調べる（S64）。書換開始フラグ15bがセットされていないならば（S64にてNO）、メモリ制御部208は、ホームコントローラ201の製造時または設置時であり、システムデータが第2のメモリ領域10に設定されていない状態であると判断する。この場合には、システムデータの変更処理ではないので、メモリ制御部208は、変更用データバッファ19a, 19bへの書込を行なわない。

【0093】S63において、ブロックaの書換開始フラグ15aがセットされていれば（S63にてYES）、メモリ制御部208は、現在、システムデータがブロックaに書込まれていると判断する。このときは、メモリ制御部208は、ブロックaの変更用データバッファ19aに変更データを書込む。以下に変更用データ

10

20

30

40

50

バッファ 19 a への書込処理の手順について説明する。

【0094】メモリ制御部 208 が用いる変数としては、データ数カウンタ n と、データ値 $Ka(n)$ と、データ数サブカウンタ j と、データ長カウンタ k と、最大データ容量 n_{max} とがある。データ数カウンタ n は、変更用データバッファ 19 a における先頭からのデータ数を示すものである。そして、データ値 $Ka(n)$ は、変更用データバッファ 19 a における n 番目のデータの値を示す。また、データ数サブカウンタ j は、データ数カウンタ n の値を別途加算するためのカウンタである。また、データ長カウンタ k は、変更データのデータ長を代入するための変数である。

【0095】始めに、メモリ制御部 208 は、変更用データバッファ 19 a の未使用領域を探す。メモリ制御部 208 は、データ数カウンタ n に 1 をセットする (S75)。次にメモリ制御部 208 は、 $Ka(n)$ の値を調べる。このときの $Ka(n)$ の値は、変更用データバッファ 19 a における先頭の変更データのデータ番号である。メモリ制御部 208 は、前述したように読出したデータ番号の値によって、その変更データの領域が使用状態か未使用状態かを判別する (S76)。読出したデータ番号の値によりその領域が使用状態であると判定されれば (S76 にて NO)、メモリ制御部 208 は、次の変更データのデータ番号を調べるために、データ数カウンタ n の値を式 (1) に従って更新する (S77)。

【0096】

$$n \leftarrow n + Ka(n+1) + 2 \quad \cdots (1)$$

【0097】式 (1) において、右辺の n は現時点での変更用データバッファにおけるデータ数 (アドレス) であり、記憶領域としては変更データのデータ番号の位置を示している。この n にその変更データのデータサイズである $Ka(n+1)$ を加算する。

【0098】さらに、データサイズを格納している領域のアドレスの部位として 1 を加算し、次に、カウンタを次の変更データのデータ番号のアドレスを示すようにするために 1 を加算する。したがって、前回の変更データのデータ番号を示すアドレスから次回の変更データのデータ番号を示すアドレスを計算するためには、式 (1) に記載した計算式に従ってデータ数カウンタ n を更新する。このようにして、メモリ制御部 208 は、変更用データバッファ 19 a の未使用領域が見つかるまで、S76 と S77 とを繰り返す。

【0099】メモリ制御部 208 は、未使用領域が見つければ (S76 にて YES)、変更用データバッファ 19 a に変更データが書込めるだけの空き領域があるかを調べる。すなわち、メモリ制御部 208 は、データ数サブカウンタ j に $n+1$ をセットし、データ長カウンタ k に変更データのデータ長をセットする (S78)。そして、メモリ制御部 208 は、変更データ書込後のデータ数 $j+k$ が変更用データバッファ 19 a の最大デ

ータ容量 n_{max} を越えないかを調べる (S79)。

【0100】メモリ制御部 208 は、データ数 $j+k$ が最大データ容量 n_{max} を越えるならば (S79 にて NO)、これ以上は変更用データバッファ 19 a に変更データを書込めないと判断し、この時点で、第 2 実施例に示したブロック間の書換処理と同様に、前記図 9、10 に示した処理手順によって、ブロック a からブロック b へのシステムデータの書換処理を行なう (S84)。S84 の処理が終わればメモリ制御部 208 は、手順を S63 に戻し、変更データについての処理を実行する。

【0101】メモリ制御部 208 は、データ数 $j+k$ が最大データ容量 n_{max} より小さく、変更データの書込が可能であると判断すれば (S79 にて YES)、変更データのデータ長を変更用データバッファ 19 a に書込む (S80)。次に、メモリ制御部 208 は、変更データの内容を変更用データバッファ 19 a に書込む (S81, S82)。このとき、書込データの i 番目のデータを変更用データバッファ 19 a のデータ値 $Ka(j)$ にセットし、データ数の変数 j と書込データの番号 i とを 1 ずつ加算し、 i が k よりも大きくなった時点で、次の処理へ進む。次に、メモリ制御部 208 は、変更データのデータ番号をデータ値 $Ka(n)$ にセットし、データ番号を変更用データバッファ 19 a に書込む (S83)。

【0102】このように、メモリ制御部 208 は、処理の最後にデータ番号を書込むので、S80~S82 の実行の途中で異常事態が発生し、変更用データバッファ 19 a に書込まれたデータが不完全な状態となった場合は、データ番号が変更用データバッファ 19 a に書込まれない。したがって、以降の処理においてデータ番号を讀出してその値を判定することにより、異常事態によって不完全になった書込データを無効にすることができ

る。

【0103】一方、S64 にてブロック b の書換開始フラグ 15 b がセットされていれば (S64 にて YES)、メモリ制御部 208 は、現在、システムデータがブロック b に書込まれていると判断し、ブロック b の変更用データバッファ 19 b に変更データを書込む処理を行なう。なお、変更用データバッファ 19 b に変更データを書込むときの処理手順は、上述した変更用データバッファ 19 a と同様であり、上述の S75~S83 が、変更用データバッファ 19 b の処理である S65~S73 にそれぞれ対応する。そして、変更用データバッファ 19 a におけるデータの値を示す変数 Ka が変更用データバッファ 19 b では、変数 Kb として示されている。なお、変更用データバッファ 19 b に変更データを書込む際の詳細な処理手順については説明を省略する。

【0104】以上の処理ですべての変更データが変更用データバッファ 19 a または変更用データバッファ 19 b に書込まれれば、それらのデータを S84、S74 に

示したブロック間の書換処理と同様の手順によって、ブロック b またはブロック a に書込む。

【0105】図 17, 18 は、ホームコントローラ 201 の復旧時の動作手順を示すフローチャートである。このフローチャートは、前記図 17, 18 に示したシステムデータの書込処理中に異常事態が発生した場合の復旧時の処理を示し、前記図 11, 12 に示した第 2 実施例の処理手順を変更用データバッファ 19 a, 19 b を用いて変形させたものである。前記図 11, 12 と同様の処理内容については、同一のステップ番号を示している。なお、以下の説明では前記図 11, 12 の構成と異なる部分についてのみ説明する。

【0106】メモリ制御部 208 は、S27 にてシステムデータがブロック b に書込まれていると判断した場合は (S27 にて YES)、ブロック b の変更用データバッファ 19 b に変更用データが書込まれているか否かを調べる (S85)。メモリ制御部 208 は、変更用データバッファ 19 b にデータが書込まれていれば (S85 にて NO)、前記図 16, 17 に示したフローチャートにおいてブロック b の変更用データバッファ 19 b に変更データを書込んでいる途中で動作が中断したと判断する。この場合、メモリ制御部 208 は、新しいシステムデータをブロック a に書込まなければならないと判断する。

【0107】そして、メモリ制御部 208 は、ブロック a の記憶内容が消去されているか否かを調べ (S86)、ブロック a の記憶内容が消去されていなければ (S86 にて NO)、ブロック a の記憶内容を消去する (S87)。次に、メモリ制御部 208 は、ブロック a の書換開始フラグ 15 a をセットする (S88)。そして、メモリ制御部 208 は、変更用データバッファ 19 b に書込まれた変更データをブロック a に書込み (S95)、変更終了フラグ 18 a をセットする (S96)。

【0108】次に、メモリ制御部 208 は、システムデータの中で変更されない部分のデータとしてブロック b のシステムデータ領域に書込まれているデータを読み出し、そのデータをブロック a のシステムデータ領域に書込む (S59)。

【0109】メモリ制御部 208 は、ブロック a へのシステムデータの書込が終了すれば、ブロック b の新旧表示フラグ 17 b をセットし (S60)、その後、ブロック a の書換終了フラグ 16 a をセットする (S61)。メモリ制御部 208 は、最後に、ブロック b の内容を消去し (S62)、システムデータの書換処理を終了する。この場合、メモリ制御部 208 は、システムデータがブロック a に書込まれているとし (S33)、その旨を示す信号を制御部 5 へ送る。

【0110】メモリ制御部 208 は、S31 にて、システムデータがブロック a に書込まれていると判断した場合は (S31 にて YES)、ブロック a にある変更用デ

ータバッファ 19 a に変更用データが書込まれているか否かを調べる (S89)。変更用データがブロック a に書込まれていれば (S89 にて NO)、メモリ制御部 208 は、前記図 16, 17 に示した処理手順において、ブロック a の変更用データバッファ 19 a に変更データを書込んでいる途中で動作が中断したと判断する。この場合、メモリ制御部 208 は、新しいシステムデータをブロック b に書込まなければならないと判断する。

【0111】次に、メモリ制御部 208 は、ブロック b の記憶内容が消去されているか否かを調べ (S90)、消去されていない場合は (S90 にて NO)、ブロック b の記憶内容を消去する (S91)。その後、メモリ制御部 208 は、ブロック b の書換開始フラグ 15 b をセットする (S92)。続いて、メモリ制御部 208 は、変更用データバッファ 19 a に書込まれた変更データをブロック b に書込み (S93)、変更終了フラグ 18 b をセットする (S94)。

【0112】次に、メモリ制御部 208 は、システムデータの中の変更されない部分のデータをブロック a のシステムデータ領域 14 a から読出して、ブロック b のシステムデータ領域 14 b に書込む (S53)。

【0113】メモリ制御部 208 は、ブロック b へのシステムデータの書込が終了すれば、ブロック a の新旧表示フラグ 17 a をセットし (S54)、その後、ブロック b の書換終了フラグ 16 b をセットする (S55)。そして、メモリ制御部 208 は、最後にブロック a の内容を消去して (S56)、システムデータの書換処理を終了する。この場合、メモリ制御部 208 は、システムデータがブロック b に書込まれているとし (S29)、その旨を示す信号を制御部 5 へ送る。

【0114】メモリ制御部 208 は、S42 にてブロック a の書換終了フラグ 16 a がセットされているか否かを調べる。メモリ制御部 208 は、書換終了フラグ 16 a がセットされていれば (S42 にて YES)、ブロック a からブロック b へのシステムデータの書換処理の途中で前記図 9 の S6 の実行前に動作が中断したと判断する。

【0115】この場合、メモリ制御部 208 は、ブロック b の変更終了フラグ 18 b がセットされているか否かを調べる (S51)。メモリ制御部 208 は、変更終了フラグ 18 b がセットされていなければ (S51 にて NO)、ブロック b に変更データを書込んでいる途中で前記図 9 の S45 の処理が実行されている途中で異常が発生し、書込動作が中断されたと判断する。この場合、変更用データバッファ 19 a に書込まれた変更データの一部は、既にブロック b に書込まれているので、メモリ制御部 208 は、ブロック b に書込まれていない変更データを変更用データバッファ 19 a から探してブロック b に書込む (S93)。

【0116】その後、メモリ制御部 208 は、変更終了

フラグ 1 8 b をセットする (S 9 4) 。次に、メモリ制御部 2 0 8 は、システムデータに含まれる変更されない部分のデータをブロック a から読出してブロック b に書込む (S 5 3) 。メモリ制御部 2 0 8 は、ブロック b へのすべてのシステムデータの書込が終了すれば、ブロック a の新旧表示フラグ 1 7 a をセットし (S 5 4) 、その後、ブロック b の書換終了フラグ 1 6 b をセットする (S 5 5) 。最後に、メモリ制御部 2 0 8 は、ブロック a の記憶内容を消去して (S 5 6) 、システムデータの書換処理を終了する。この場合、メモリ制御部 2 0 8 は、システムデータがブロック b に書込まれているとし (S 2 9) 、その旨を示す信号を制御部 5 へ送る。

【 0 1 1 7 】メモリ制御部 2 0 8 は、 S 4 2 にてブロック a の書換終了フラグ 1 6 a がセットされていないならば (S 4 2 にて NO) 、ブロック b の書換終了フラグ 1 6 b がセットされているか否かを調べる (S 4 3) 。メモリ制御部 2 0 8 は、書換終了フラグ 1 6 b がセットされていれば (S 4 3 にて YES) 、ブロック b からブロック a へのシステムデータの書換途中で前記図 9 の S 1 4 の実行前に動作が中断したと判断する。

【 0 1 1 8 】この場合、メモリ制御部 2 0 8 は、ブロック a の変更終了フラグ 1 8 a がセットされているか否かを調べる (S 5 7) 。メモリ制御部 2 0 8 は、変更終了フラグ 1 8 a がセットされていないならば (S 5 7 にて NO) 、ブロック a に変更データを書き込んで途中で前記図 9 の S 4 8 の実行途中で異常が発生し、書込動作が中断されたと判断する。変更用データバッファ 1 9 b に書込まれた変更データの一部は、既にブロック a に書込まれているので、メモリ制御部 2 0 8 は、ブロック a に書込まれていない変更データを探し、そのデータをブ

ック a に書込む (S 9 5) 。

【 0 1 1 9 】その後、メモリ制御部 2 0 8 は、ブロック a の変更終了フラグ 1 8 a をセットする (S 9 6) 。次に、メモリ制御部 2 0 8 は、システムデータに含まれる変更されない部分のデータをブロック b から読出し、ブロック a に書込む (S 5 9) 。メモリ制御部 2 0 8 は、ブロック a へのシステムデータの書込が完了すれば、ブロック b の新旧表示フラグ 1 7 b をセットし (S 6 0) 、その後、ブロック a の書換終了フラグ 1 6 a をセットする (S 6 1) 。そして、メモリ制御部 2 0 8 は、最後にブロック b の記憶内容を消去して (S 6 2) 、システムデータの書換処理を終了する。この場合、メモリ制御部 2 0 8 は、システムデータがブロック a に書込まれているとし (S 3 3) 、その旨を示す信号を制御部 5 へ送る。

【 0 1 2 0 】以上説明したように第 3 実施例によれば、システムデータの書換処理の実行中に異常事態が発生してフラッシュメモリ 7 のブロック間の書換処理が途中で中断された場合であっても、変更用データバッファに書込まれた変更データが使用できる状態であれば、そのデ

ータを用いてシステムデータ全体を復元することが可能である。したがって、異常事態に対応するために使用者が行なう復旧作業が軽減できる。

【 0 1 2 1 】前記変更用データバッファ 1 9 a 、 1 9 b により請求項記載のデータバッファ領域が構成されている。前記メモリ制御部 2 0 8 と、このメモリ制御部 2 0 8 に前記図 1 6 、 1 7 のフローチャートに示した処理を実行させるためのプログラムとにより請求項記載のバッファ書込手段が構成されている。

10 【 0 1 2 2 】また、前記メモリ制御部 2 0 8 と、このメモリ制御部 2 0 8 に変更用データバッファ 1 9 a または変更用データバッファ 1 9 b に書込まれたデータをブロック間の書換処理と同様の手順によってブロック b またはブロック a に書込む処理を実行させるためのプログラムとにより請求項記載のバッファ読出手段が構成されている。前記メモリ制御部 2 0 8 と、このメモリ制御部 2 0 8 に前述の S 9 3 、 S 9 5 の処理を実行させるためのプログラムとにより請求項記載の部分読出書込手段が構成されている。

20 【 0 1 2 3 】

【発明の効果】以上説明したように、請求項 1 記載の発明によれば、不揮発性のメモリからなる制御用データ記憶手段に格納され、家庭用機器を制御するための制御用データを、新たにデータを書込むことにより変更する。制御用データ記憶手段は、2つのブロックを含み、その2つのブロックのうち既存の制御用データを格納しているブロックとは異なる他方のブロックに新たな制御用データを書込む。制御用データ記憶手段の2つのブロックのそれぞれの書込状態は、不揮発性のメモリからなる第 1 のデータ記憶手段と第 2 のデータ記憶手段とにそれぞれ格納されている第 1 のデータと第 2 のデータとによって判別することができる。したがって、制御用データの変更処理の途中で、停電等の異常が発生し、変更処理が中断した場合であっても、その復旧時に、判定手段が第 1 のデータと第 2 のデータに基づいて2つのブロックのうちのいずれのブロックに格納されている制御用データを用いるべきかを判定することが可能となる。

30 【 0 1 2 4 】請求項 2 記載の発明によれば、制御用データに含まれる予め定められた一部のデータの書込が完了したか否かを第 3 のデータによって判別することができ、また、その予め定められた一部のデータを除く他の部分のデータを他方のブロックから読出して当該ブロックに書込むことができる。したがって、新たな制御用データを制御用データ記憶手段に書き込んで、制御用データを変更する場合には、制御用データのうちの一部のデータを書込手段によって書き込み、他の部分のデータを既存の制御用データを格納している他方のブロックから読出すことにより、新たな制御用データの全体を書込むことができる。また、停電等の異常が発生し、制御用データの変更処理が中断された場合であっても、処理が中断し

た時点で、予め定められた一部のデータの書込が完了していれば、既存の制御用データから書込が完了した部分を除く他の部分を読み出して書込むことにより、予め定められた一部のデータを再度書込む処理を行なうことなく、新たな制御用データを制御用データ記憶手段に書込むことができる。

【0125】請求項3記載の発明によれば、新たに制御用データを制御用データ記憶手段に書込む際に、一旦、制御用データをデータバッファ領域に書込み、その書込んだデータを読み出してブロックに書込む。さらに、制御用データのうちのブロックに書込まれた部分を除く部分をデータバッファ領域から読み出してブロックに書込むための手段を設けたので、停電等の異常が発生し、書込手段による書込動作が中断された場合であっても、データバッファ領域に書込まれたデータは、以降の処理において用いることが可能な状態にすることができる。

【0126】請求項4記載の発明によれば、制御用データ記憶手段の2つのブロックの各々に含まれる記憶領域のデータを一括して消去することができるので、制御用データを新たにブロックに書込む前に、そのブロックの記憶領域に格納されている既存の制御用データを一括して消去することができる。

【0127】請求項5記載の発明によれば、2つのブロックと2つの第1のデータと2つの第2のデータとの一方ずつが一括消去可能な同一のメモリ上に格納されているので、これら三者の一方ずつを一括して消去することができる。そして、第1のデータの第1の状態または第2の状態と、第2のデータの第3の状態または第4の状態とをメモリの消去状態と対応させることにより、ブロックに格納されている制御用データの消去と、第1のデータの状態の切換と第2のデータの状態の切換とを同時に行なうことができる。

【図面の簡単な説明】

【図1】本発明の第1実施例によるホームコントローラの構成を示すブロック図である。

【図2】第1実施例によるホームコントローラのメモリ領域の構成を示す模式図である。

【図3】第1実施例においてシステムデータをブロック間の書換処理によって変更するときのホームコントローラの動作の手順を示すフローチャートである。

【図4】第1実施例においてシステムデータをブロック間の書換処理によって変更するときのホームコントローラの動作の手順を示すフローチャートである。

【図5】第1実施例においてホームコントローラの復旧時の動作の手順を示すフローチャートである。

【図6】第1実施例においてホームコントローラの復旧時の動作の手順を示すフローチャートである。

【図7】本発明の第2実施例によるホームコントローラの構成を示すブロック図である。

【図8】第2実施例によるホームコントローラのメモリ領域の構成を示す模式図である。

【図9】第2実施例においてシステムデータをブロック間の書換処理によって変更するときのホームコントローラの動作の手順を示すフローチャートである。

【図10】第2実施例においてシステムデータをブロック間の書換処理によって変更するときのホームコントローラの動作の手順を示すフローチャートである。

【図11】第2実施例においてホームコントローラの復旧時の動作の手順を示すフローチャートである。

【図12】第2実施例においてホームコントローラの復旧時の動作の手順を示すフローチャートである。

【図13】本発明の第3実施例によるホームコントローラの構成を示すブロック図である。

【図14】第3実施例によるホームコントローラのメモリ領域の構成を示す模式図である。

【図15】第3実施例による変更用データバッファの構成を示す模式図である。

【図16】第3実施例においてシステムデータをブロック間の書換処理によって変更するときに変更データを変更用データバッファに書込むためのホームコントローラの動作の手順を示すフローチャートである。

【図17】第3実施例においてシステムデータをブロック間の書換処理によって変更するときに変更データを変更用データバッファに書込むためのホームコントローラの動作の手順を示すフローチャートである。

【図18】第3実施例においてホームコントローラの復旧時の動作の手順を示すフローチャートである。

【図19】第3実施例においてホームコントローラの復旧時の動作の手順を示すフローチャートである。

【図20】一般的なホームオートメーション・システムの構成を示す概念図である。

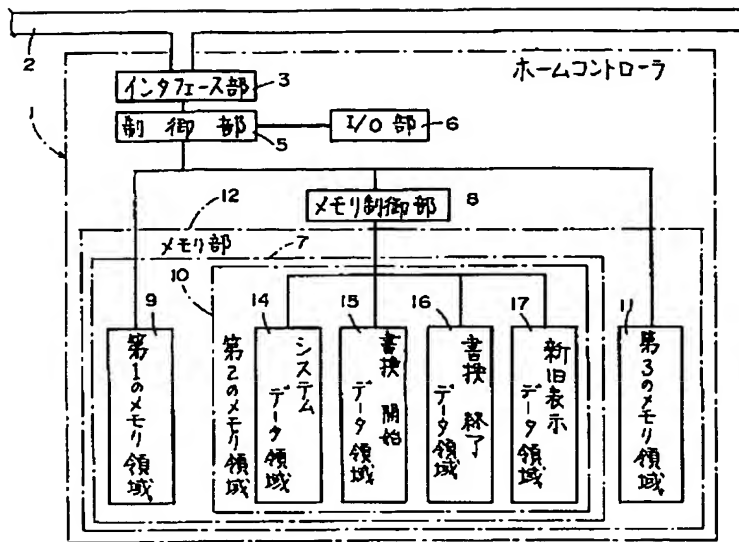
【図21】一般的な従来のホームコントローラの構成を示すブロック図である。

【図22】一般的な従来のホームコントローラのメモリ領域の構成を示す模式図である。

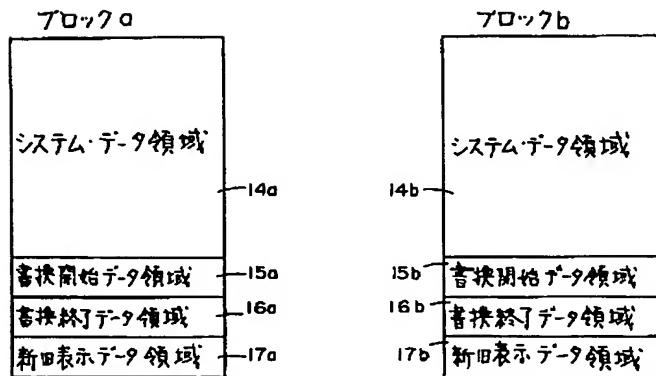
【符号の説明】

- 1, 101, 201 ホームコントローラ
- 2 ホームバス
- 3 インタフェース部
- 5 制御部
- 7 フラッシュメモリ
- 8, 108, 208 メモリ制御部
- 10 第2のメモリ領域
- 15, 15a, 15b 書換開始データ領域
- 16, 16a, 16b 書換終了データ領域
- 17, 17a, 17b 新旧表示データ領域
- 18, 18a, 18b 変更終了データ領域
- 19, 19a, 19b 変更用データバッファ

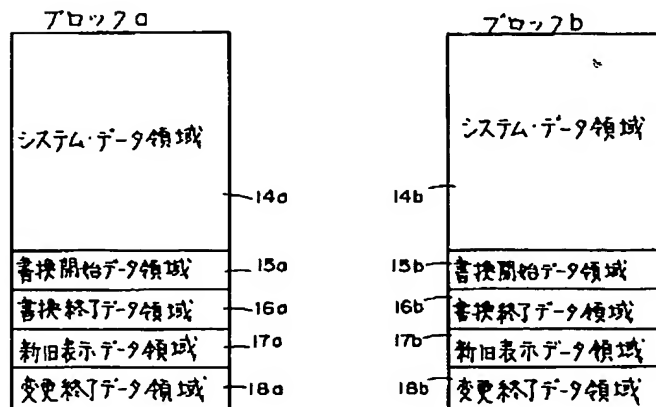
【図 1】



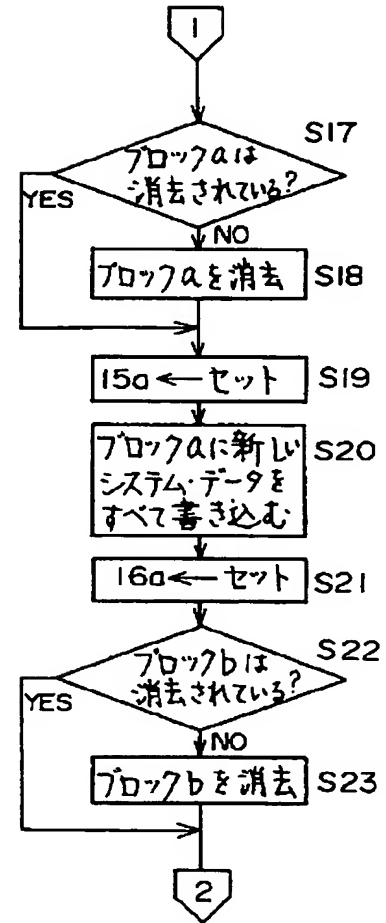
【図 2】



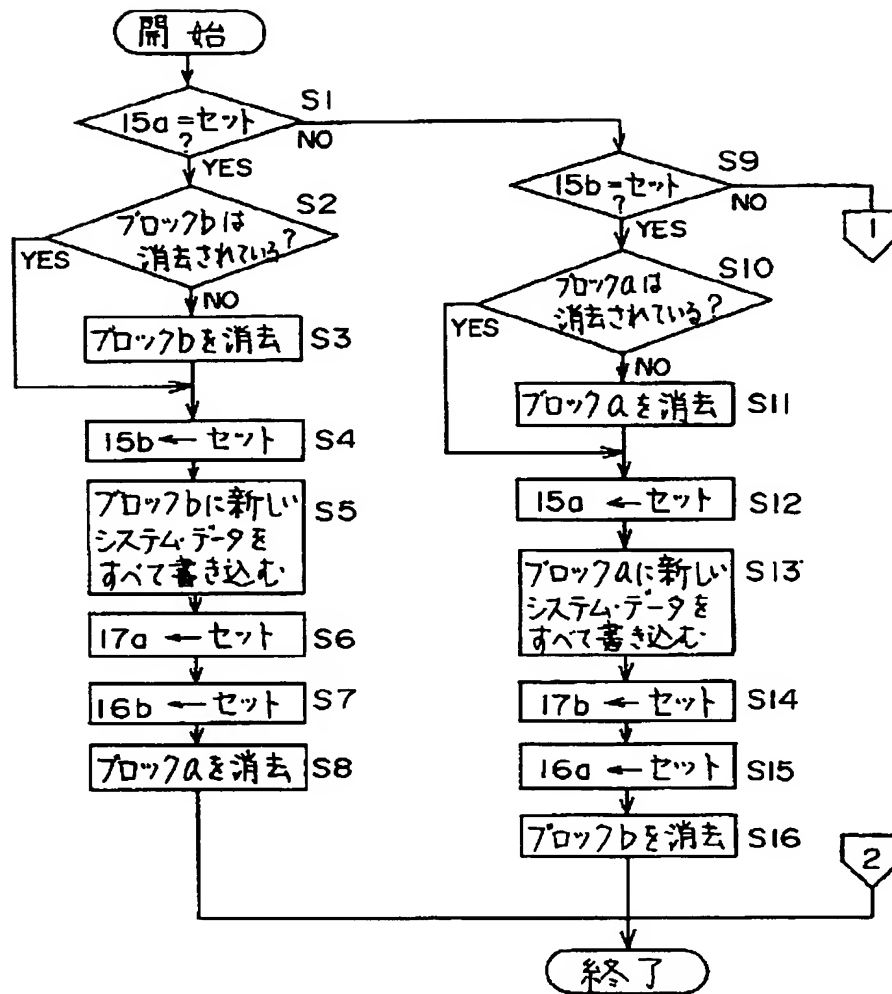
【図 8】



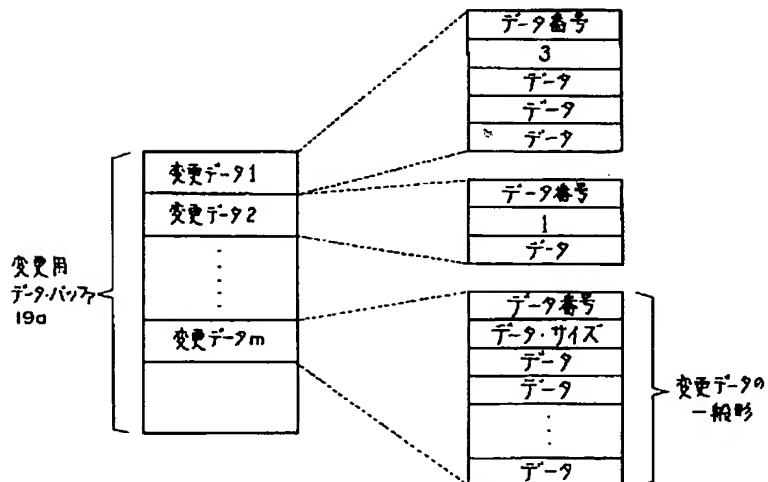
【図 4】



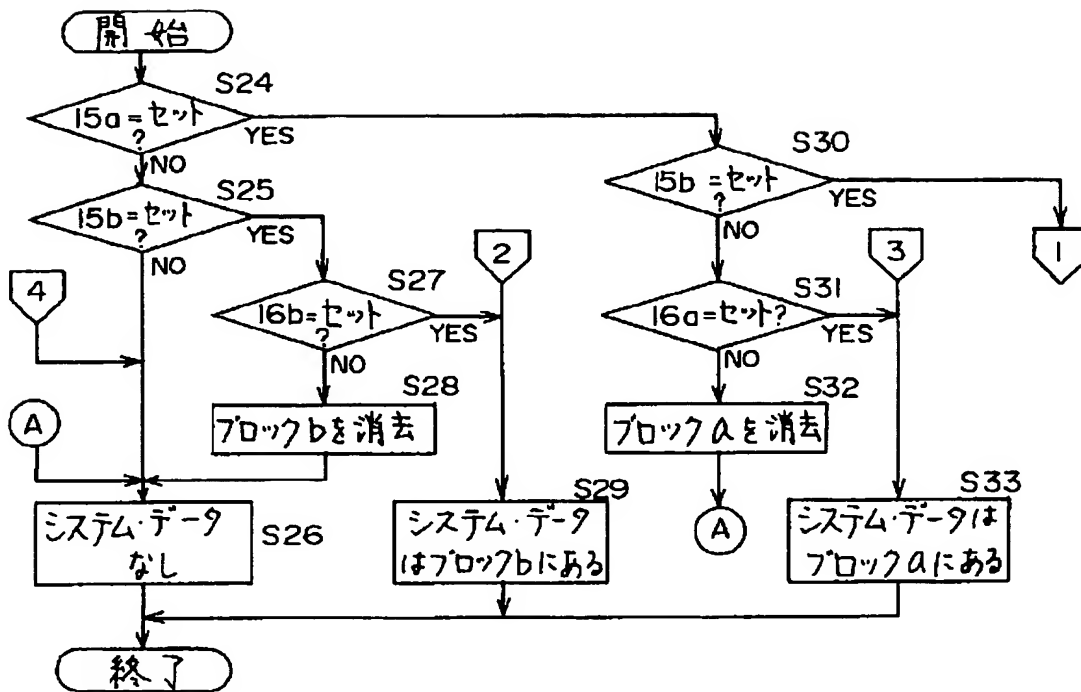
【図 3】



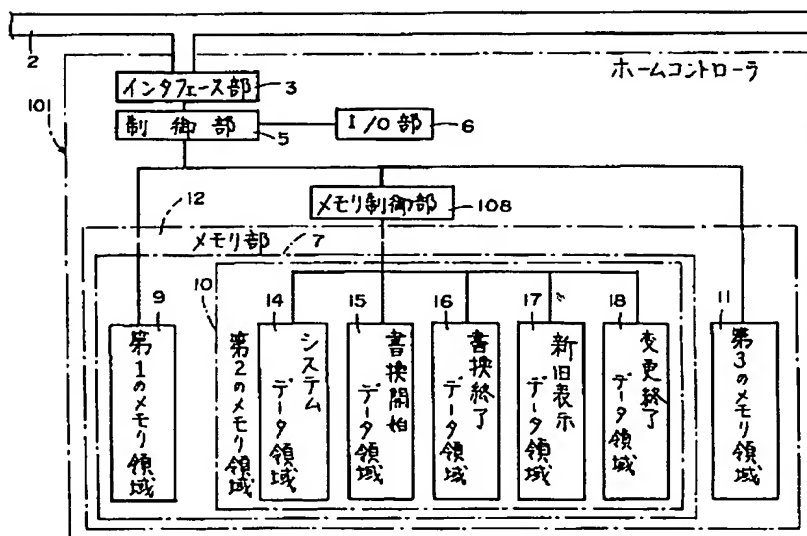
【図 15】



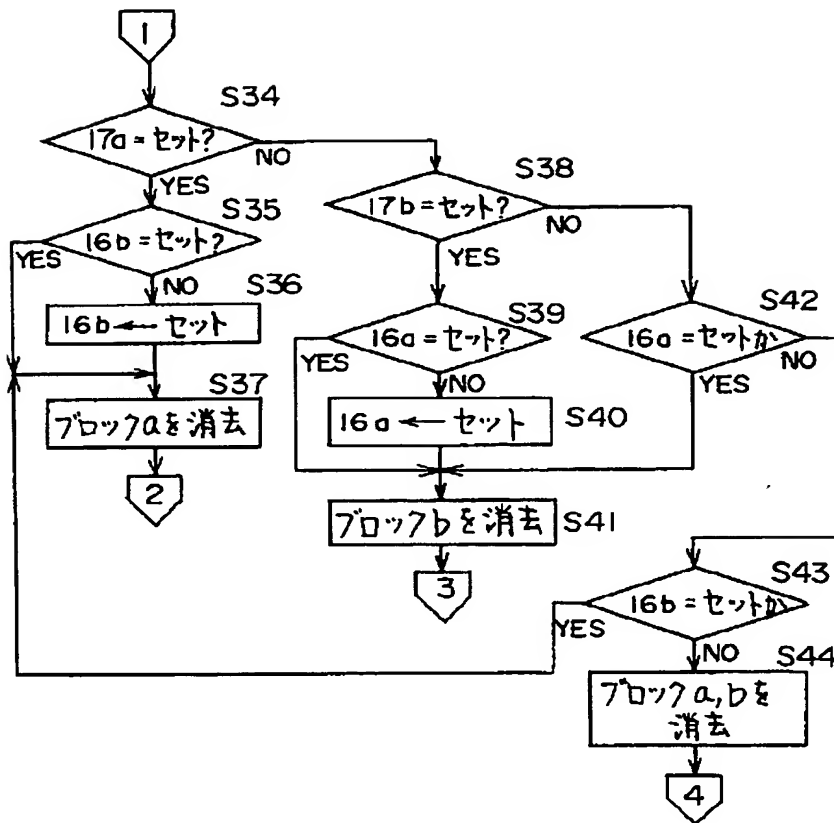
【図5】



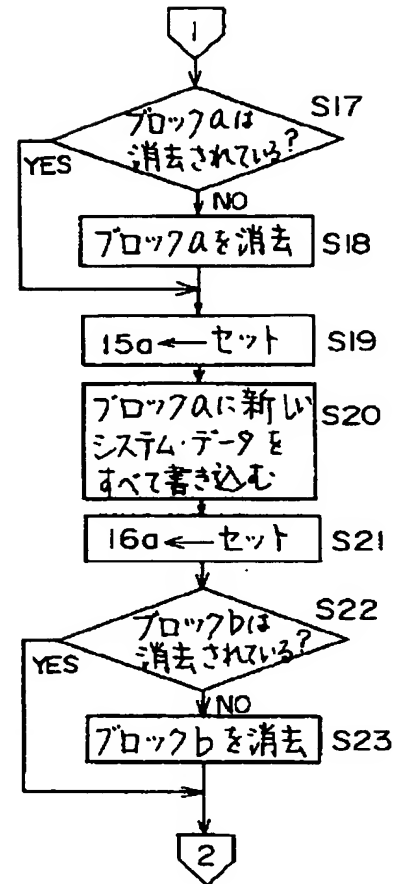
【図7】



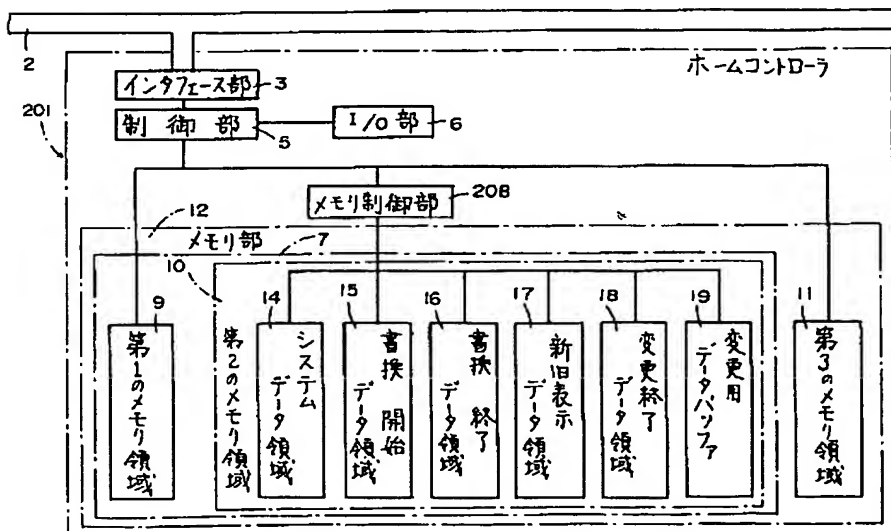
【図 6】



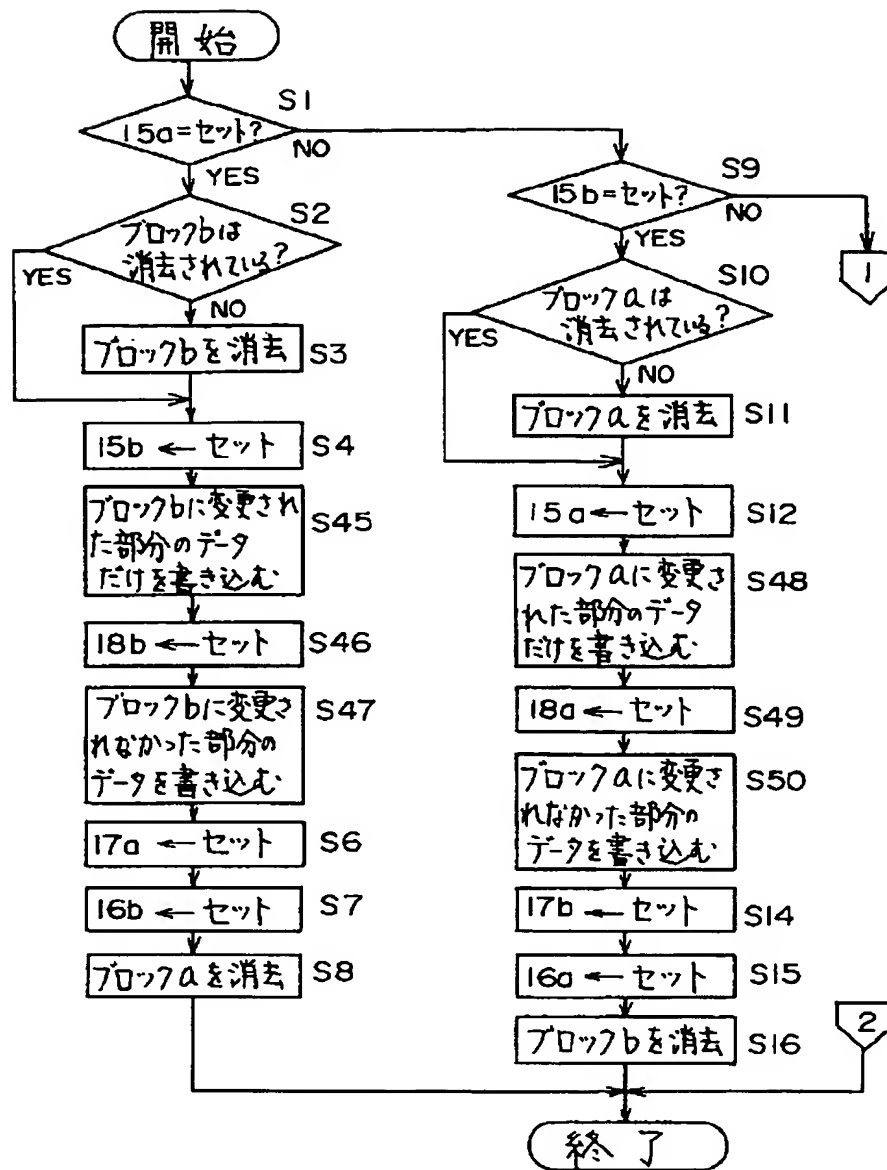
【図 10】



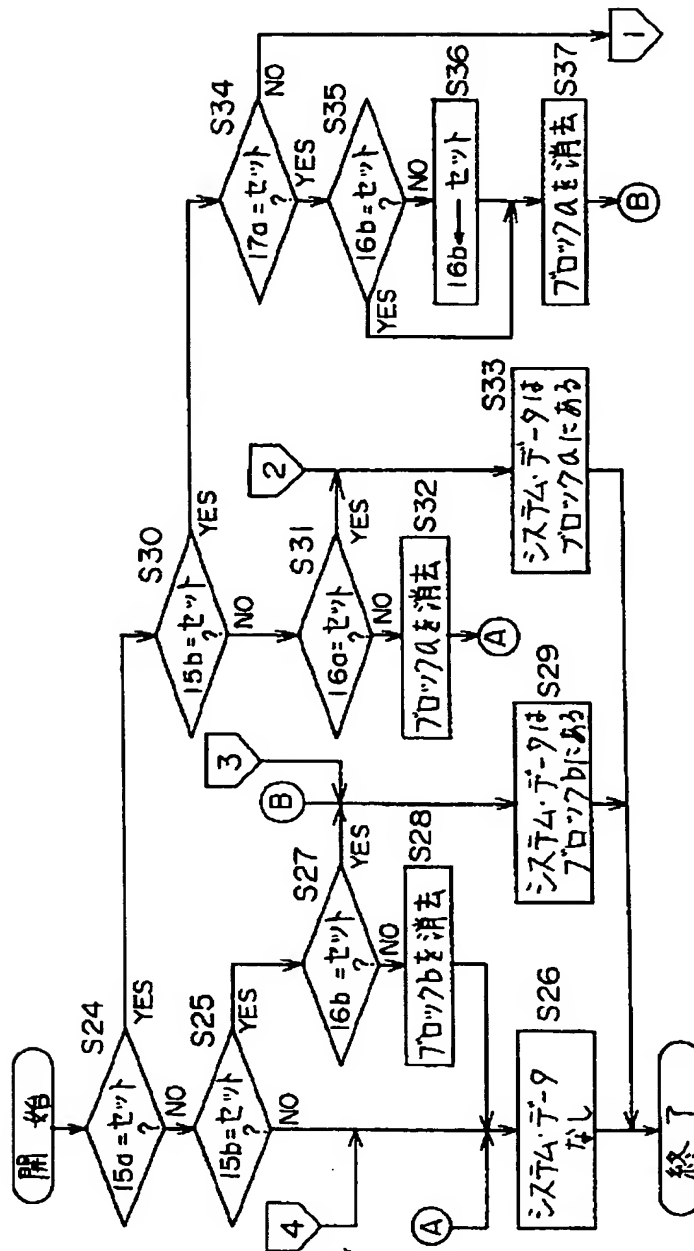
【図 13】



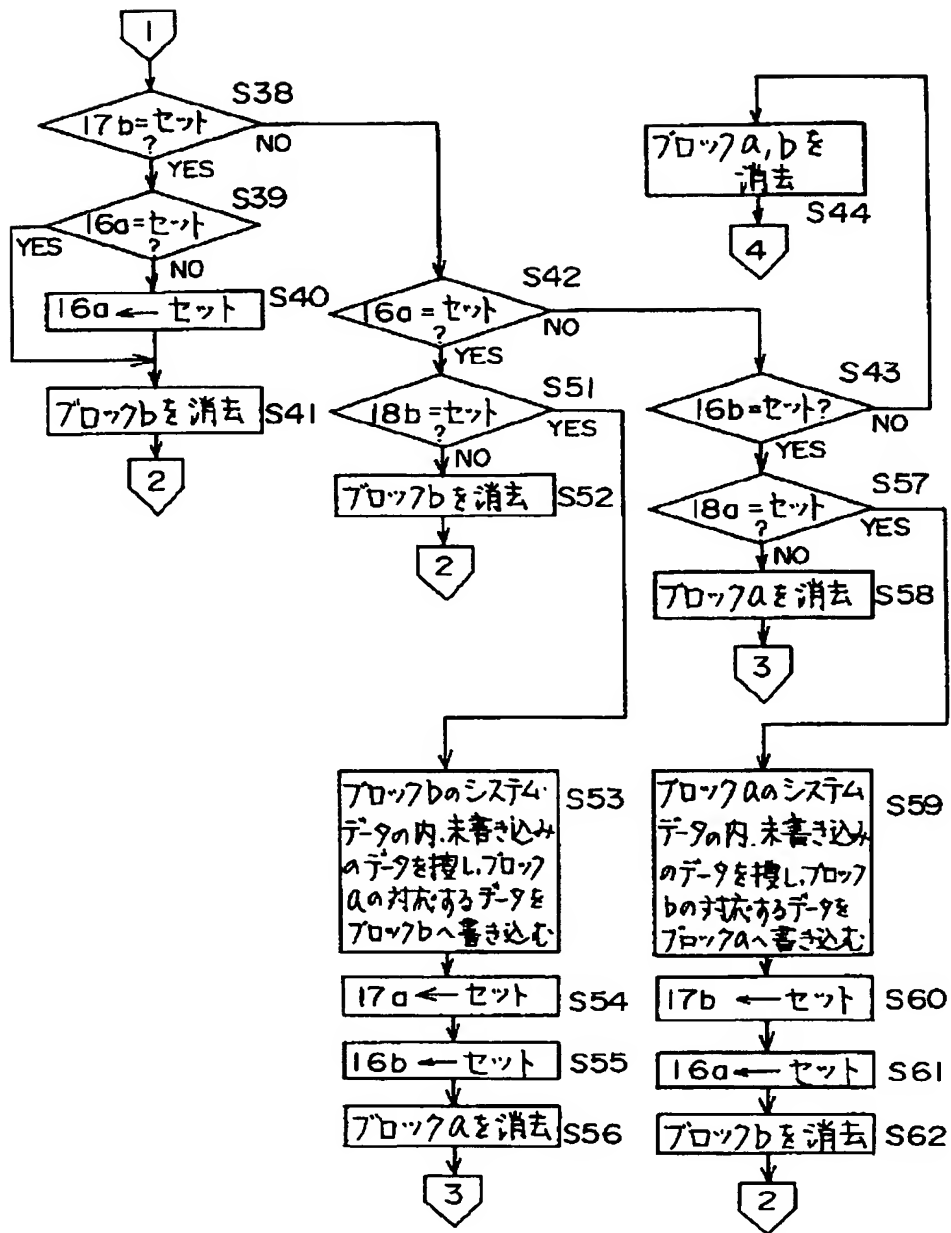
〔図 9〕



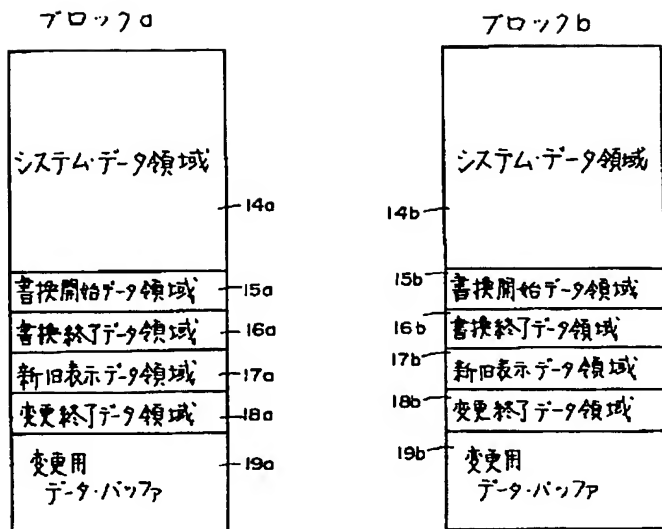
【図 11】



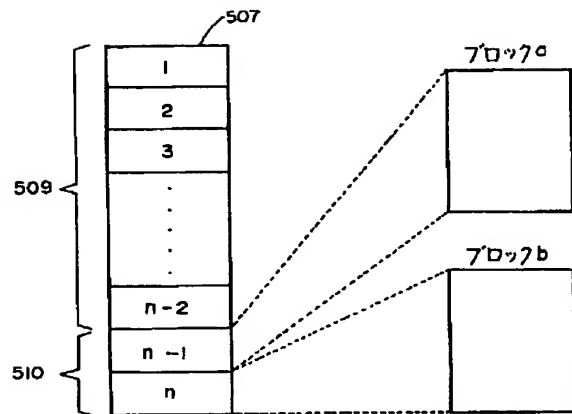
【図 12】



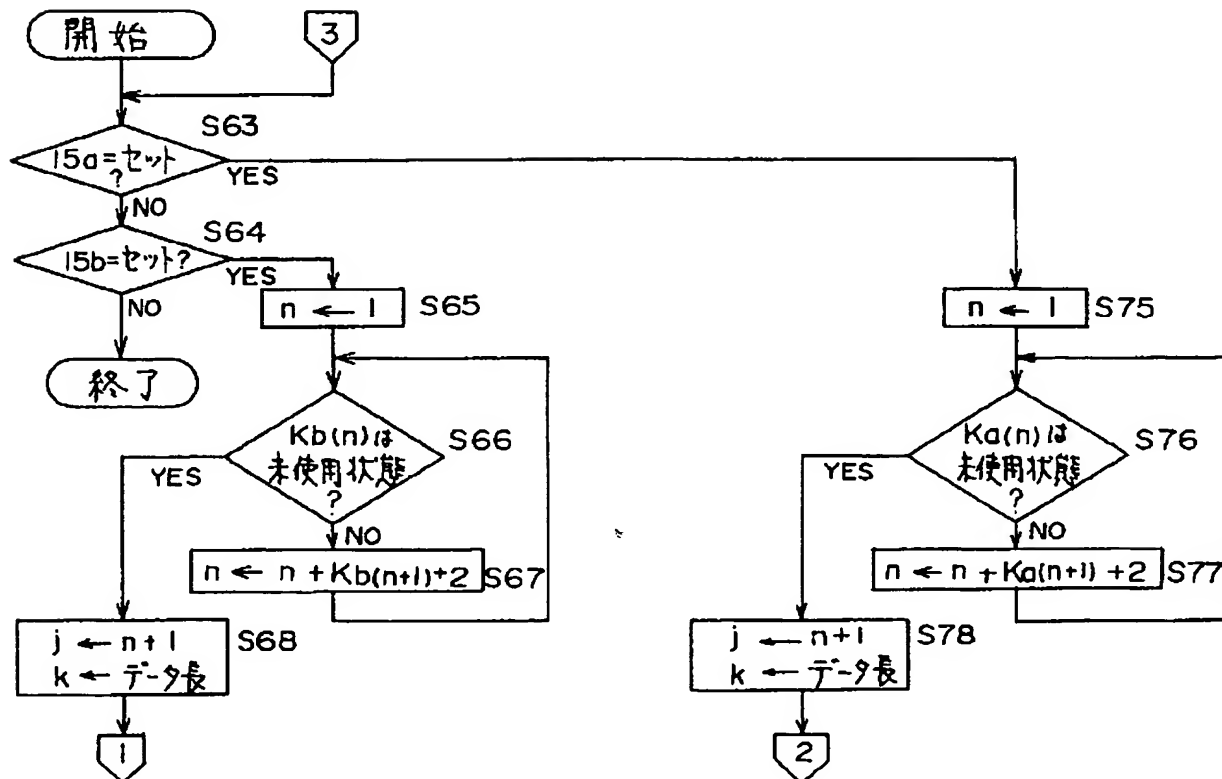
【図 1 4】



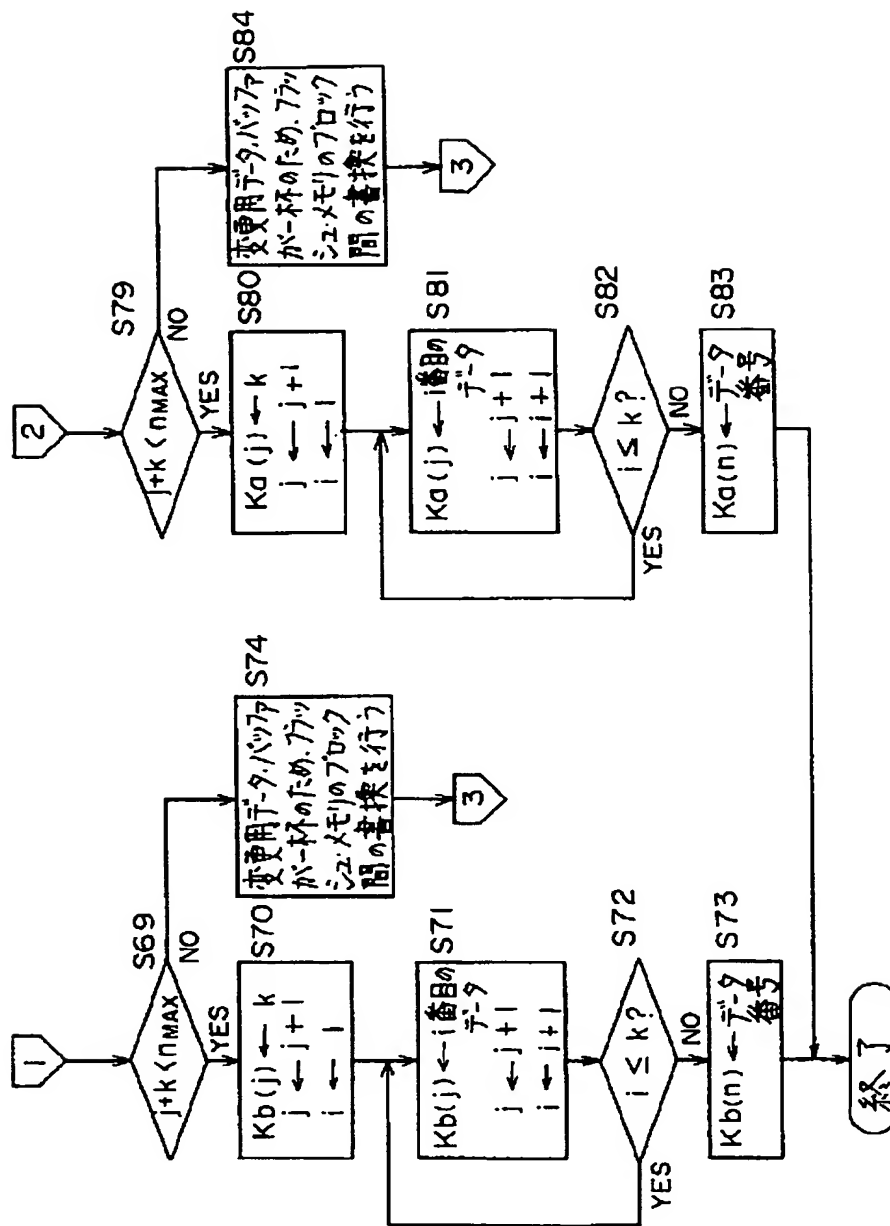
【図 2 2】



【図 1 6】

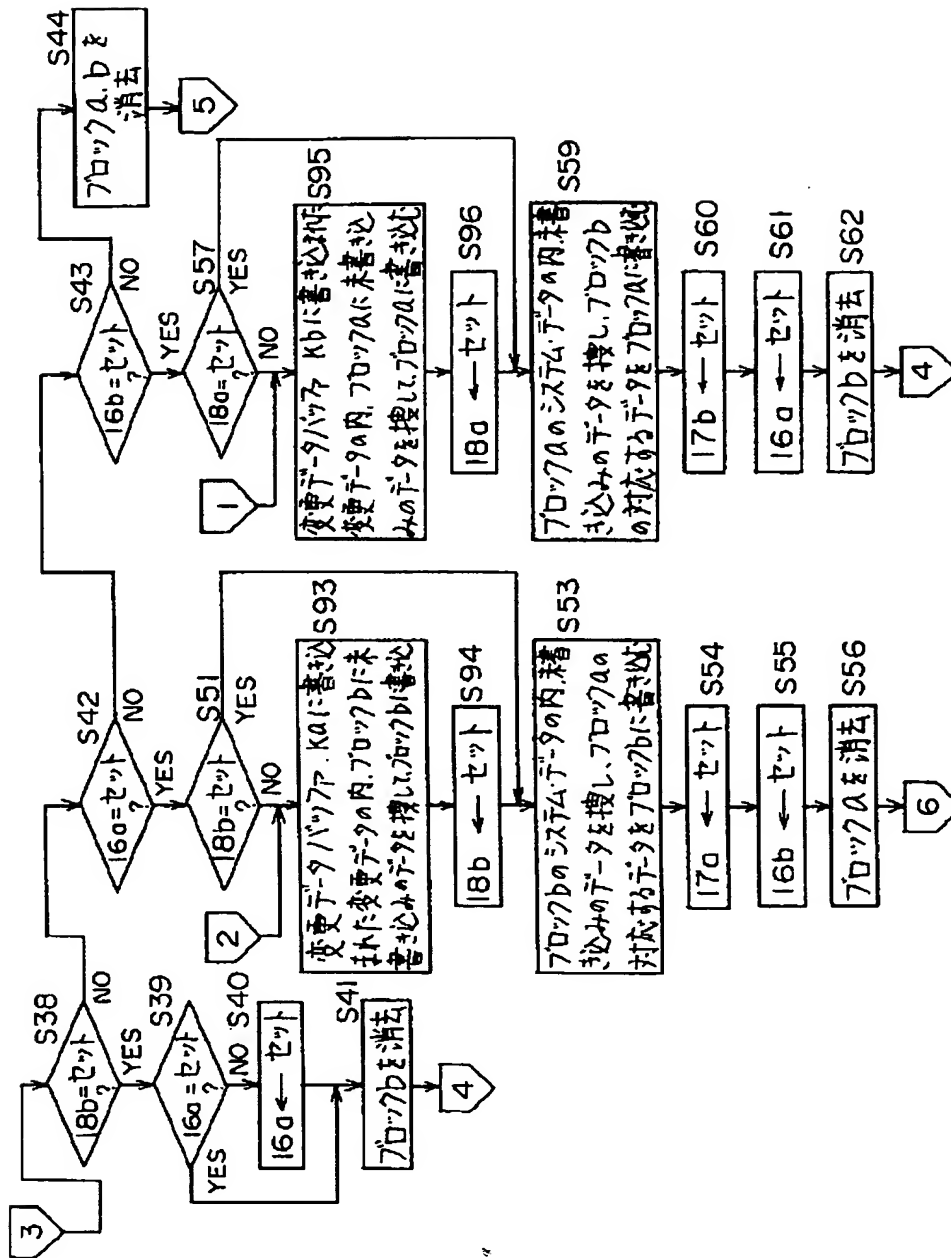


【図 17】

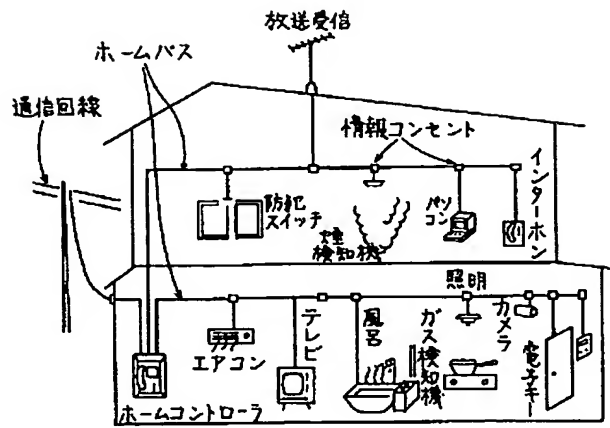


[illegible]

【図 19】



【図 20】



【図 21】

